

【正誤表】

書 名 : はじめての VHDL
 版 数 : 第 1 版 1 刷

ページ	箇所	誤	正
7	下から3行目	8. フリップフロップとカウンタ	8. フリップフロップとレジスタ
20	8行目	(ネットリスと呼ばれる	(ネットリストと呼ばれる
58	図20内, 下から2行目	E when otherts	E when others;
65	図26内, 5行目	std_logic_vector(1 downto 0)	std_logic_vector(1 downto 0)
65	図26内, 下から11行目	std_logic_vector(1 downto 0)	std_logic_vector(1 downto 0)
65	図26内, 下から8行目	std_logic_vector(2 downto 0)	std_logic_vector(2 downto 0)
65	図26内, 下から7行目	Begin	begin
65	図26内, 下から5行目	W < "11"	w <= "11"
69	図30内, 下から5行目	Begin	begin
69	図30内, 下から2行目	D <= B When others;	B When others; * 「D <=」 トル
76	図2内	③ case when構文の【例】を下記の図1に変更	
76	下から1行目	beginの下に「end process;」を挿入	
80	図6内, 下から5行目	elsifSEL="01" then X<=C;	elsif SEL="10" then X<=C;
91	下から8行目	process分	process文
111	下から6行目	end コンポーネント	end エンティティ
166	タイトル	フリップフロップとカウンタ	フリップフロップとレジスタ
184 最終頁	奥付	編 者 坂巻佳壽美	著 者 坂巻佳壽美

③ case when構文	
【例】 case CON is	
when "00" => Q <= A;	case when文の本体
when "01" => Q <= B;	
when "10" => Q <= C;	
when "11" => Q <= D;	
when others => Q <= E;	
end case;	

図1 76頁 図2の修正