



PIC12CE67X

A/D コンバータ、EEPROM データメモリ内蔵 8 ピン、8 ビット CMOS マイクロコントローラ

デバイス：

PIC12CE673 および PIC12CE674 は、8 ビット A/D コンバータおよび EEPROM データメモリを内蔵した 8 ピンパッケージの 8 ビット OTP マイクロコントローラです。14 ビット PICmicro™ MCU アーキテクチャに基いています。

高性能 RISC CPU：

- 簡単に覚えられる命令数 :35 シングルワード
- プログラム分岐命令 (2 サイクル) 以外はすべて 1 サイクル命令 (400 ns)
- 動作速度 : DC - 10 MHz クロック入力
DC - 400 ns 命令サイクル

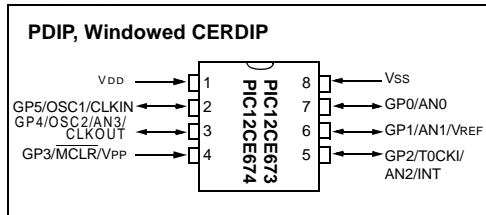
デバイス	メモリ		
	プログラム	データ RAM	データ EEPROM
PIC12CE673	1024 x 14	128 x 8	16 x 8
PIC12CE674	2048 x 14	128 x 8	16 x 8

- 14 ビット幅の命令
- 8 ビット幅のデータ
- 割り込み
- ハードウェア特別機能レジスタ
- 8 レベルディープのハードウェアスタック
- データおよび命令用の直接、間接、相対の各アドレッシングモード

周辺機能の特徴：

- プログラマブル 8 ビットプリスケアラ付き 8 ビットリアルタイムクロック / カウンタ (TMR0)
- ピン変化による割り込み (GP0, GP1, GP3)
- 1,000,000 消去 / 書き込みサイクル EEPROM データメモリ
- EEPROM データ保持は 40 年以上
- 4 チャンネル、8 ビット A/D コンバータ

ピン配置図



特別機能：

- インサーキットシリアルプログラミング (ICSP™)
- キャリブレーション機能付き内部 4 MHz 発振器
- 選択可能なクロックアウト
- パワーオンリセット (POR)
- パワーアップタイマー (PWRT) およびオシレータスタートアップタイマー (OST)
- 確実に動作するための専用のオンチップ RC 発振器付きウォッチドッグタイマー (WDT)
- コードプロテクション
- 省電力 SLEEP モード
- I/O ピン (GP0, GP1) の内部プルアップ
- MCLR ピンの内部プルアップ
- 選択可能な発振器オプション：
 - INTRC: 高精度の内部 4MHzRC 発振器
 - EXTRC: 外付け低コスト RC 発振
 - XT: 標準の水晶 / セラミック発振子
 - HS: 高速の水晶 / セラミック発振子
 - LP: 省電力、低周波数水晶

CMOS テクノロジー：

- 低電力、高速 CMOS EPROM/EEPROM テクノロジー
- 完全スタティック設計
- 2.5V から 5.5V の幅広い動作電圧範囲
- 商業用、工業用、拡張温度範囲
- 低消費電力
 - < 2 mA @ 5V, 4 MHz
 - 15 μ A_{typ} @ 3V, 32 kHz
 - スタンバイ電流 < 1 μ A_{typ}

PIC12CE67X

目次

1.0 概要	3
2.0 PIC12CE67X デバイスの種類	5
3.0 アーキテクチャの概要	7
4.0 メモリ構成	11
5.0 I/O ポート	25
6.0 EEPROM データメモリ動作	27
7.0 タイマー 0 モジュール	31
8.0 A/D コンバータモジュール	37
9.0 CPU の特別機能	45
10.0 命令セット概要	61
11.0 開発サポート	75
12.0 PIC12CE67X の電気的特性	79
13.0 PIC12CE67X の DC および AC 特性	95
14.0 パッケージ	101
付録 A: EEPROM データメモリアクセス用コード	105
索引	107
オンラインサポート	111
PIC12CE67X の型番 / 品名	113

お客様へ

当社では、当社製品やドキュメントの品質を高めるために常に努力をしております。このドキュメントも正確を期すために非常に多くの時間を費やしておりますが、多少の見落としがあるかもしれません。もし見落としや間違っている情報にお気づきになりましたら、当社までお知らせください。より良いドキュメントを作るために皆様のご協力に感謝いたします。

PIC12CE67X

1.0 概要

PIC12CEXXX マイクロコントローラファミリの PIC12CE67X は、A/D コンバータと EEPROM データメモリを内蔵した低価格、高性能、CMOS、完全スタティック設計の 8 ビットマイクロコントローラです。

すべての PICmicro™ マイクロコントローラは、先進の RISC アーキテクチャを採用しています。

PIC12CE67X マイクロコントローラでは、8 レベルディープのスタック、内部と外部の複数割込みソース、強化した CPU コア機能を搭載しています。ハードウェアアーキテクチャでは命令およびデータバスは分離しているので、8 ビットデータを含む 14 ビット幅命令ワードを構成できます。2 ステージの命令パイプラインは、2 サイクルかかるプログラム分岐以外は、すべての命令を 1 サイクルで実行します。命令は 35 命令あります。(縮小命令セット) 更にラージレジスタセット・アーキテクチャ等により高性能を実現しました。

PIC12CE67X マイクロコントローラは、概して、同クラスの他の 8 ビットマイクロコントローラと比べて、2:1 のコード圧縮、4:1 のスピード改善を実現します。

PIC12CE67X は、128 バイト RAM、16 バイト EEPROM データメモリ、5 入出力ピンと 1 入力ピン、タイマー / カウンタを搭載しています。また、4 チャンネル高速 8 ビット A/D も内蔵しています。自動温度調節装置や圧力センサー等の低価格アナログインターフェースを必要とするアプリケーションには、8 ビット分解能が最適です。

PIC12CE67X は、外付け部品を削減できる特別機能を搭載しています。外付け部品削減によりコスト削減、信頼性向上、電力消費の削減ができます。パワーオンリセット (POR)、パワーアップタイマー (PWRT)、オシレータスタートアップタイマー (OST) により外付けリセット回路が不要となるケースが数多くあります。高精度の INTRC 内部発振器モードおよび省電力 LP (低電力) 発振器を含めた、5 種類の発振器モードが選択可能です。省電力 SLEEP モード、ウォッチドッグタイマー、コードプロテクション機能によりシステムコスト、消費電力、信頼性を改善できます。SLEEP (パワーダウン) 機能は省電力モードです。いくつかの外部と内部の割り込みやリセットにより、SLEEP からデバイスをウェークアップできます。

専用のオンチップ RC 発振器で動作する高信頼性のウォッチドッグタイマーは、ソフトウェアがロックアップするのを防ぎます。

コスト効率の良いワンタイムプログラマブル (OTP) バージョンは数量の大小にかかわらず量産に適しています。紫外線消去用窓付きパッケージバージョンはコード開発に最も適しています。OTP の柔軟性という利点を生かしながら、OTP マイクロコントローラ業界におけるマイクロチップの価格リーダーシップとしての優位性を十分に活用してください。

PIC12CE67X デバイスは、セキュリティシステムやリモートセンサから家電製品や車載製品までいろいろなアプリケーションに最適です。EPROM 技術により応用プログラム (送信コード、モータースピード、受信周波数、その他) のカスタマイズが飛躍的に速く、便利にできます。小型フットプリントパッケージを採用しているので、小さいスペースの製品にも完璧に対応できます。低コスト、低消費電力、高性能、使い易さ、I/O のフレキシビリティにより PIC12CE67X は、これまでマイクロコントローラの使用が考えなかった分野にも最適です。(例えば、タイマー機能、通信およびコプロセッサ等のアプリケーション)

1.1 ファミリーおよび上位互換性

PIC12CE67X は、14 ビットコアの PIC12C67X と PIC16CXXX ファミリーと互換性があります。

1.2 開発サポート

PIC12CE67X の開発ツールはフル機能のマクロアセンブラ、ソフトウェアシミュレータ、インサーキットエミュレータ、低価格開発用プログラムライターおよびフル機能のプログラムライターがあります。また、C コンパイラやファジー論理サポートツールもあります。

PIC12CE67X

表 1-1: PIC12CXXX & PIC12CEXXX ファミリーのデバイス

		PIC12C508(A)	PIC12C509(A)	PIC12CE518	PIC12CE519	PIC12C671	PIC12C672	PIC12CE673	PIC12CE674
クロック	最大動作周波数 (MHz)	4	4	4	4	10	10	10	10
メモリ	EPROM プログラムメモ リ	512 x 12	1024 x 12	512 x 12	1024 x 12	1024 x 14	2048 x 14	1024 x 14	2048 x 14
	RAM データ メモリ (バイト)	25	41	25	41	128	128	128	128
周辺機能	EEPROM データメモリ (バイト)	—	—	16	16	—	—	16	16
	タイマーモ ジュール	TMR0	TMR0	TMR0	TMR0	TMR0	TMR0	TMR0	TMR0
	A/D コンバー タ (8-bit) チャ ネル数	—	—	—	—	4	4	4	4
機能	ピン変化によ る SLEEP から のウェイクア ップ	あり	あり	あり	あり	あり	あり	あり	あり
	割り込みソー ス	—	—			4	4	4	4
	I/O ピン	5	5	5	5	5	5	5	5
	入力ピン	1	1	1	1	1	1	1	1
	内部プルアッ プ	あり	あり	あり	あり	あり	あり	あり	あり
	インサークッ トシリアルプ ログラミング	あり	あり	あり	あり	あり	あり	あり	あり
	命令数	33	33	33	33	35	35	35	35
	パッケージ	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW, SOIC	8-pin DIP, JW	8-pin DIP, JW

PIC12CXXX & PIC12CEXXX の全製品には、パワーオンリセット、ウォッチドッグタイマー、コードブ
ロテクション、大きい電流駆動能力がある I/O ピンを搭載しています。
PIC12CXXX & PIC12CEXXX の全製品は、データピン GP0 とクロックピン GP1 を使用したシリアルプロ
グラミングを行います。

2.0 PIC12CE67X デバイスの種類

各種パッケージと周波数範囲を選択できます。このデータシートの最後章「PIC12CE67X の型番 / 品名」を参照してアプリケーション、量産に適当なデバイスオプションをご選択ください。ご注文の際もデータシートを参照して正しい品名をご指定ください。

PIC12CE67X は、品名でデバイスの「タイプ」が分ります。

1. (PIC12CE671 の様に)CE が付いているデバイスは OTP プログラムメモリ、EEPROM データメモリを搭載、標準電源電圧範囲で動作します。

2.1 紫外線消去可能デバイス

窓付きパッケージの紫外線消去可能バージョンは、試作開発やパイロットランに適しています。

紫外線消去可能タイプはコンフィグレーションモードも消去 / 再書き込みできます。マイクロチップの PICSTART® Plus と PRO MATE® プログラムライタは両方とも PIC12CE67X をサポートしています。サードパーティのプログラムライタもあります。サードパーティについては、*Microchip Third Party Guide* を参照してください。

注意： 紫外線消去すると工場出荷時にプログラムメモリに格納されている内部発振器用キャリブレーションデータも消去されるので、ご注意ください。紫外線消去前にキャリブレーションデータをリードして保存しておく必要があります。

2.2 ワンタイムプログラマブル (OTP) デバイス

OTP デバイスは少量生産や頻繁にコードのアップデートが必要なアプリケーションに特に便利です。

プラスチックパッケージの OTP デバイスはプログラムの書き込み可能な回数は 1 回です。プログラムメモリ同様にコンフィグレーションビットも書き込む必要があります。

2.3 クイックターンプログラミング (QTP) デバイス

マイクロチップは工場量産用に QTP プログラミングサービスを提供しています。中 / 大量生産でプログラムの書き込みに工数をかけたくなく、デバックが完了してコードパターンが安定している場合に便利です。デバイスは OTP デバイスですが、全 EPROM プログラムメモリとコンフィグレーションビットを書き込み後に工場出荷されます。量産前にコードと試作品の確認が行われます。詳細については、マイクロチップ製品取扱代理店までお問い合わせください。

2.4 シリアルクイックターンプログラミング (SQTP™) デバイス

マイクロチップではユーザーが指定するプログラムメモリ番地にデバイスごとにシリアル番号をプログラム書き込みする独自のプログラミングサービスを行っています。シリアル番号は、ランダム、疑似ランダム、連続番号です。

シリアルプログラミングにより、デバイスごとに個別の番号を割り当てられます。その番号は、エントリコードやパスワード、ID 番号に使用できます。

PIC12CE67X

メモ:

3.0 アーキテクチャ概要

PIC12CE67X ファミリーは RISC 型マイクロプロセッサ共通のアーキテクチャの特徴を数多く持っているため高性能です。まず第一に PIC12CE67X は、ハードアーキテクチャを採用しており、プログラムとデータはそれぞれ別のメモリ空間からそれぞれ別のバスを使用してアクセスします。同じバスを使用して同じメモリ空間からプログラムやデータを取り出す従来のフォンノイマンアーキテクチャよりも処理能力が改善されます。プログラムバスとデータバスを分離することにより、命令のビット幅は 8 ビット幅にとらわれません。命令のオペコードは、すべての命令を 1 ワードで構成できる 14 ビット幅です。プログラムメモリをアクセスするバスが 14 ビット幅なので、1 サイクルで 14 ビット命令を取り出します。2 ステージのパイプラインは命令の取り出しと実行が同時にできます。(例 3-1 参照)。従って、プログラム分岐以外のすべての命令は 1 サイクル (1 μ s@4 MHz) で実行します。

次の表は各 PIC12CE67X デバイスのプログラムメモリ (EPROM)、データメモリ (RAM)、不揮発性メモリ (EEPROM) を示します。

デバイス	プログラムメモリ	RAM データメモリ	EEPROM データメモリ
PIC12CE673	1K x 14	128 x 8	16x8
PIC12CE674	2K x 14	128 x 8	16x8

PIC12CE67X はレジスタファイルやデータメモリを直接、または、間接的にアドレス指定できます。プログラムカウンタを含み、すべての特殊機能レジスタはデータメモリに配置されています。PIC12CE67X には、直交的 (対称的) な命令セットを持っているので、どのアドレッシングモードでもすべてのレジスタに対してすべてのオペレーションが実行できます。「特定制約条件」がないので PIC12CE67X のプログラミングはシンプルで高効率です。学習も容易です。

PIC12CE67X デバイスは 8 ビット ALU とワーキングレジスタを持っています。ALU は汎用演算ユニットです。ワーキングレジスタとレジスタファイルのデータの計算とブール演算を行います。

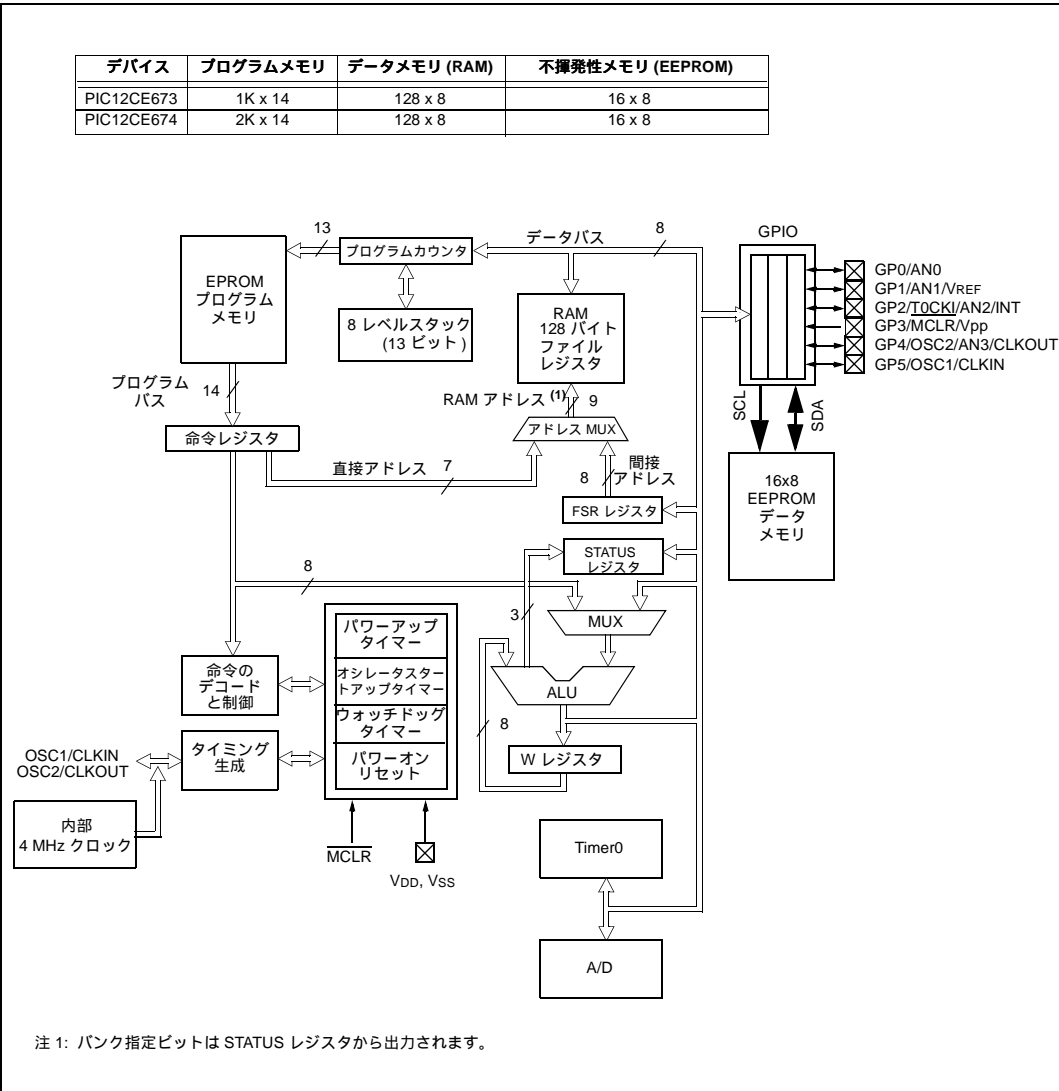
ALU は 8 ビット幅で、足し算、引き算、シフト、論理演算ができます。特に指定の無い限り、演算処理は 2 の補数法で行われます。2 つのオペランド命令では、通常片方はワーキングレジスタ (W レジスタ) もう片方はファイルレジスタ (F レジスタ) です。1 つのオペランド命令では、オペランドは W レジスタかファイルレジスタです。

W レジスタは ALU の実行に使用される 8 ビットワーキングレジスタです。アドレス指定はできません。

実行される命令によっては STATUS レジスタのキャリー (C)、デジットキャリー (DC)、およびゼロ (Z) ビットの値が影響します。引き算では C ビットはボローの反転 (borrow)、DC ビットはデジットボローの反転 (digit borrow) 出力ビットとして実行されます。例として SUBLW と SUBWF 命令を参照してください。

PIC12CE67X

図 3-1: PIC12CE67X ブロック図



PIC12CE67X

表 3-1: PIC12CE67X 端子機能説明

名称	DIP Pin #	SOIC Pin #	I/Oピン タイプ	バッファ タイプ	説明
GP0/AN0	7	7	I/O	TTL/ST	双方向入出力ポート / シリアルプログラミングデータ / アナログ入力 0。内部弱プルアップとピン変化による割込みをソフトウェアで機能選択できます。このバッファは、シリアルプログラミングモードの時はシュミットトリガ入力になります。
GP1/AN1/V _{REF}	6	6	I/O	TTL/ST	双方向入出力ポート / シリアルプログラミングクロック / アナログ入力 1 / 電圧リファレンス。内部弱プルアップとピン変化による割込みをソフトウェアで機能選択できます。このバッファは、シリアルプログラミングモードの時はシュミットトリガ入力になります。
GP2/T0CKI/AN2/INT	5	5	I/O	ST	双方向入出力ポート / アナログ入力 2。T0CKI、外部割込みとして使用できます。
GP3/MCLR/VPP	4	4	I	TTL	入力ポート / マスタークリア (リセット) 入力 / プログラミング電圧入力。MCLR を選択すると、このピンはデバイスの Low アクティブのリセットになります。通常のオペレーションでは MCLR/VPP の電圧は V _{DD} を超えてはいけません。内部弱プルアップとピン変化により割込みをソフトウェアで機能選択できます。MCLR の時は、弱プルアップは常に On 状態です。
GP4/OSC2/AN3/CLKOUT	3	3	I/O	TTL	双方向入出力ポート / 発振子水晶出力 / アナログ入力 3。水晶発振子モード (HS、XT、LP モードのみ、他のモードでは GPIO) 時に水晶または発振子に接続。EXTRC、INTRC モードでは、ピン出力は OSC1 周波数の 1/4 の命令サイクルの CLKOUT に設定可能です。
GP5/OSC1/CLKIN	2	2	I/O	TTL/ST	双方向入出力ポート / 発振子水晶入力 / 外部クロックソース入力。(INTRC モードの GPIO のみ、他のすべてのオシレータモードでは OSC1/CLKIN) EXTRC モードの時はシュミットトリガ入力です。
V _{DD}	1	1	P	—	ロジックと入出力ピン用正極電源
V _{SS}	8	8	P	—	ロジックと入出力ピン用グラウンドリファレンス

凡例: I = 入力, O = 出力, I/O = 入出力, P = 電源, — = なし, TTL = TTL 入力,
ST = シュミットトリガ入力

PIC12CE67X

3.1 クロック方式 / 命令サイクル

(OSC1/CLKIN からの) クロック入力 は 4 つの重ならない 4 相クロック Q1、Q2、Q3、Q4 を生成するために内部で 4 分周されます。内部では、プログラムカウンタ (PC) は Q1 ごとにインクリメントします。命令はプログラムメモリからフェッチ後、Q4 で命令レジスタにラッチされます。次の Q1 から Q4 の間に命令はデコードされ、実行されます。クロックと命令実行のフローは図 3-2 をご参照ください。

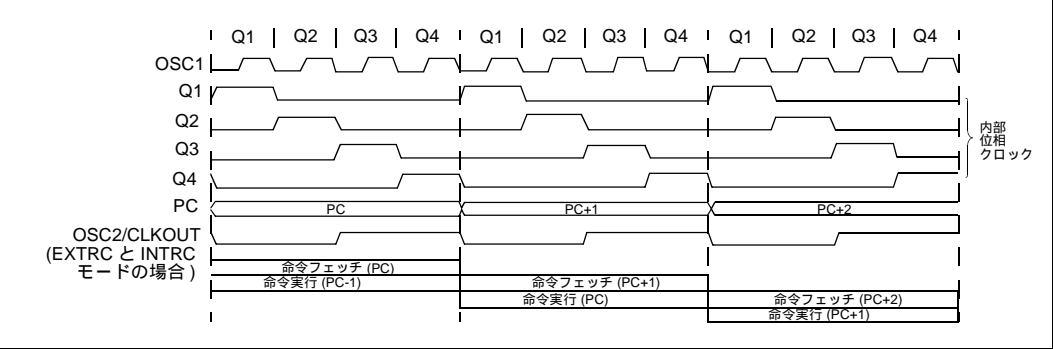
3.2 命令フロー / パイプライン

1 つの「命令サイクル」は 4 つの Q サイクル (Q1、Q2、Q3、Q4) から構成されます。命令のフェッチと実行はパイプライン方式で行われ、1 つの命令サイクルでフェッチを行う一方で、ほかの命令サイクルでデコードと実行を行います。このパイプライン処理により、各命令が実質的に 1 サイクルで実行されます。命令がプログラムカウンタを変更する場合 (GOTO 等) は 2 サイクル必要です。(例 3-1 参照)

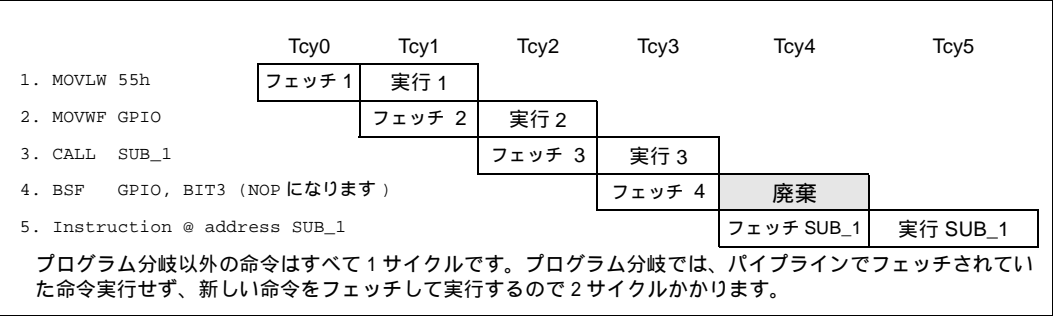
フェッチサイクルはプログラムカウンタ (PC) が Q1 でインクリメントするところから始まります。

実行サイクルではフェッチした命令はサイクル Q1 で「命令レジスタ」(IR) にラッチされています。そして Q2、Q3、Q4 サイクルでその命令はデコードされ、実行されます。データメモリは Q2 でリード (オペランドのリード)、Q4 でライトされます。(結果格納先へのライト)

図 3-2: クロック / 命令サイクル



例 3-1: 命令パイプラインフロー



4.0 メモリ構成

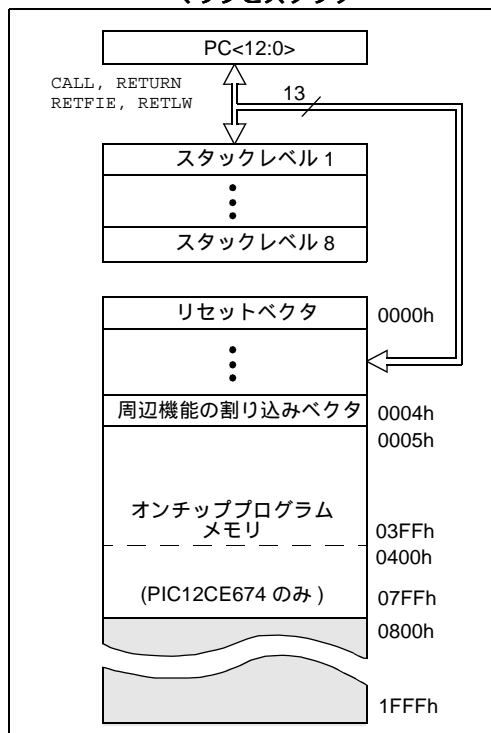
4.1 プログラムメモリ構成

PIC12CE67X は $8K \times 14$ プログラムメモリ空間のアドレッシングが可能な 13 ビットプログラムカウンタを持っています。

PIC12CE673 では、最初の $1K \times 14$ (0000h-03FFh) を使用しています。

PIC12CE674 では、最初の $2K \times 14$ (0000h-07FFh) を使用しています。物理的に存在するアドレスより上の領域へアクセスした場合、ラップアラウンドします。リセットベクタは 0000h、割り込みベクタは 0004h です。

図 4-1: PIC12CE67X プログラムメモリマップとスタック



4.2 データメモリ構成

データメモリは 2 つのバンクに分かれています。それぞれ汎用レジスタと特別機能レジスタが割り当てられています。RP0 ビットはバンク選択ビットです。

RP0 (STATUS<5>) = 1 → バンク 1

RP0 (STATUS<5>) = 0 → バンク 0

バンクはそれぞれ 7 Fh まで拡張できます。各バンクの下位領域は特別機能レジスタ用です。特別機能レジスタより上の領域は、スタティック RAM で出来ている汎用レジスタです。バンク 0 とバンク 1 共に特別機能レジスタが割り当てられています。コード圧縮、高速アクセスが出来るようにバンク 0 の使用頻度の多い特別機能レジスタは、バンク 1 からアクセスできるようになっています。

PIC12CE67X の F0h から FFh はバンク 0 のレジスタ 70h-7Fh にマッピングされてます。


4.2.1 汎用レジスタファイル

汎用レジスタファイルへのアクセスは、直接、または、ファイル選択レジスタ FSR (第 4.5 項) を使用して間接的に行われます。

PIC12CE67X

図 4-2: PIC12CE67X レジスタファイルマップ

ファイル アドレス			ファイル アドレス
00h	INDF ⁽¹⁾	INDF ⁽¹⁾	80h
01h	TMR0	OPTION	81h
02h	PCL	PCL	82h
03h	STATUS	STATUS	83h
04h	FSR	FSR	84h
05h	GPIO	TRIS	85h
06h			86h
07h			87h
08h			88h
09h			89h
0Ah	PCLATH	PCLATH	8Ah
0Bh	INTCON	INTCON	8Bh
0Ch	PIR1	PIE1	8Ch
0Dh			8Dh
0Eh		PCON	8Eh
0Fh		OSCCAL	8Fh
10h			90h
11h			91h
12h			92h
13h			93h
14h			94h
15h			95h
16h			96h
17h			97h
18h			98h
19h			99h
1Ah			9Ah
1Bh			9Bh
1Ch			9Ch
1Dh			9Dh
1Eh	ADRES		9Eh
1Fh	ADCON0	ADCON1	9Fh
20h	汎用 レジスタ	汎用 レジスタ	A0h
			BFh
			C0h
			EFh
70h		バンク 0 に マッピング	F0h
7Fh			FFh
	バンク 0	バンク 1	

 未使用データメモリ領域です。「0」とリードされます。
 注 1: 物理的には存在しないレジスタです。

4.2.2 特別機能レジスタ

特別機能レジスタは、CPU や周辺機能モジュールが使用するレジスタでデバイスの動作を制御します。特別機能レジスタはスタティック RAM で出来ています。

特別機能レジスタは2種類（コア機能と周辺機能）に分類されます。コア機能関連のレジスタについてはこの章、周辺機能関連のレジスタについては周辺機能の章で説明します。

PIC12CE67X

表 4-1: PIC12CE67X 特別機能レジスター一覧

アドレス	名称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	パワーオン リセット による値	その他のリ セット ⁽³⁾ による値
バンク 0											
00h ⁽¹⁾	INDF	このレジスタをアクセスすると、FSR レジスタの内容のデータメモリアドレスへのアクセスになります。(物理的には存在しないレジスタです)								0000 0000	0000 0000
01h	TMR0	タイマー 0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu
02h ⁽¹⁾	PCL	プログラムカウンタ (PC) の下位バイト								0000 0000	0000 0000
03h ⁽¹⁾	STATUS	IRP ⁽⁴⁾	RP1 ⁽⁴⁾	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
04h ⁽¹⁾	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu
05h	GPIO	SCL	SDA	GP5	GP4	GP3	GP2	GP1	GP0	11xx xxxx	11uu uuuu
06h	—	未使用								—	—
07h	—	未使用								—	—
08h	—	未使用								—	—
09h	—	未使用								—	—
0Ah ^(1,2)	PCLATH	—	—	—	プログラムカウンタの上位 5 ビット用ライトバッファ					---0 0000	---0 0000
0Bh ⁽¹⁾	INTCON	GIE	PEIE	TOIE	INTE	GPIE	TOIF	INTF	GPIF	0000 000x	0000 000u
0Ch	PIR1	—	ADIF	—	—	—	—	—	—	-0-- ----	-0-- ----
0Dh	—	未使用								—	—
0Eh	—	未使用								—	—
0Fh	—	未使用								—	—
10h	—	未使用								—	—
11h	—	未使用								—	—
12h	—	未使用								—	—
13h	—	未使用								—	—
14h	—	未使用								—	—
15h	—	未使用								—	—
16h	—	未使用								—	—
17h	—	未使用								—	—
18h	—	未使用								—	—
19h	—	未使用								—	—
1Ah	—	未使用								—	—
1Bh	—	未使用								—	—
1Ch	—	未使用								—	—
1Dh	—	未使用								—	—
1Eh	ADRES	A/D 結果レジスタ								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADCS1	ADCS0	r	CHS1	CHS0	$\overline{GO/DONE}$	r	ADON	0000 0000	0000 0000

凡例: x = 不明, u = 不変, q = 条件による値, - = 未使用、「0」としてリードされます, r = リザーブ。
網掛け部分は未使用です。「0」としてリードされます。

- 注
- 1: 上記のレジスタはどのバンクからもアクセスできます。
 - 2: プログラムカウンタの上位バイトに直接アクセスできません。PCLATH は PC<12:8> 用の保持レジスタで、その内容は PCL レジスタへのライト、CALL、GOTO を実行する時にプログラムカウンタの上位バイトに転送されます。
 - 3: その他の (パワーオン以外の) リセットは MCLR への外部リセットやウォッチドッグタイマーリセットを含みます。
 - 4: PIC12CE67X では IRP ビットと RP1 ビットはリザーブですので、常にクリアにしておきます。

PIC12CE67X

表 4-1: PIC12CE67X 特別機能レジスタ一覧 (CONT.)

アドレス	名称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	パワーオン リセット による値	その他のリ セット ⁽³⁾ による値
バンク 1											
80h ⁽¹⁾	INDF	このレジスタをアクセスすると、FSR レジスタの内容のデータメモリアドレスへのアクセスになります。(物理的には存在しないレジスタです)								0000 0000	0000 0000
81h	OPTION	GPPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h ⁽¹⁾	PCL	プログラムカウンタ (PC) の下位バイト								0000 0000	0000 0000
83h ⁽¹⁾	STATUS	IRP ⁽⁴⁾	RP1 ⁽⁴⁾	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
84h ⁽¹⁾	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu
85h	TRIS	—	—	GPIO データ方向レジスタ						0011 1111	0011 1111
86h	—	未使用								—	—
87h	—	未使用								—	—
88h	—	未使用								—	—
89h	—	未使用								—	—
8Ah ^(1,2)	PCLATH	—	—	—	プログラムカウンタの上位 5 ビット用ライトバッファ					---0 0000	---0 0000
8Bh ⁽¹⁾	INTCON	GIE	PEIE	T0IE	INTE	GPIE	T0IF	INTF	GPIF	0000 000x	0000 000x
8Ch	PIE1	—	ADIE	—	—	—	—	—	—	-0-- ----	-0-- ----
8Dh	—	未使用								—	—
8Eh	PCON	—	—	—	—	—	—	\overline{POR}	—	---- --0-	---- --u-
8Fh	OSCCAL	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	—	—	1000 00--	uuuu uu--
90h	—	未使用								—	—
91h	—	未使用								—	—
92h	—	未使用								—	—
93h	—	未使用								—	—
94h	—	未使用								—	—
95h	—	未使用								—	—
96h	—	未使用								—	—
97h	—	未使用								—	—
98h	—	未使用								—	—
99h	—	未使用								—	—
9Ah	—	未使用								—	—
9Bh	—	未使用								—	—
9Ch	—	未使用								—	—
9Dh	—	未使用								—	—
9Eh	—	未使用								—	—
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	---- -000	---- -000

凡例: x = 不明, u = 不変, q = 条件による値, - = 未使用、「0」としてリードされます, r = リザーブ。
網掛け部分は未使用です。「0」としてリードされます。

- 注 1: 上記のレジスタはどのバンクからもアクセスできます。
2: プログラムカウンタの上位バイトに直接アクセスできません。PCLATH は PC<12:8> 用の保持レジスタで、その内容は PCL レジスタへのライト、CALL、GOTO を実行する時にプログラムカウンタの上位バイトに転送されます。
3: その他の (パワーオン以外の) リセットは MCLR への外部リセットやウォッチドッグタイマーリセットを含みます。
4: PIC12CE67X では IRP ビットと RP1 ビットはリザーブですので、常にクリアしておきます。

PIC12CE67X

4.2.2.1 STATUS レジスタ

STATUS レジスタには、ALU の演算ステータス、リセットステータス、データメモリ用バンク選択ビットが割り当てられています。(図 4-3)

STATUS レジスタは、他のレジスタと同様に、すべての命令の結果格納先になることが可能です。STATUS レジスタが Z、DC、C ビットに影響する命令の結果格納先の場合、Z、DC、C ビットへはライトできません。Z、DC、C ビットはデバイスのロジックによりセット、クリアされます。また、TO と PD ビットもライトできません。従って、STATUS レジスタを結果格納先とした命令の結果は考えていた値と異なる場合があります。

例えば、CLRF STATUS は上位 3 ビットをクリアし Z ビットをセットします。STATUS レジスタは 000u u1uu のまま (u= 不変) です。

その様な理由から、STATUS レジスタの値を変更するには Z、C、DC ビットが影響しない BCF、BSF、SWAPF、MOVWF 命令を使用することを推奨します。ステータスビットに影響しない他の命令については、「命令セット概要」を参照してください。

注意 1: IRP と RP1 ビット (STATUS<7:6>) は PIC12CE67X では未使用なので 0 にしておいてください。これらのビットを汎用 R/W ビットとして使用すると、将来の製品との上位互換が保てなくなる可能性があるので推奨できません。

注意 2: 引き算では C ビットはボローの反転 (borrow)、DC ビットはデジットボローの反転 (digit borrow) として動作します。SUBLW と SUBWF 命令の例を参照してください。

図 4-3: STATUS レジスタ (アドレス 03h, 83h)

予備	予備	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	TO	PD	Z	DC	C
ビット 7			ビット 0				

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
-n = POR リセットによる値

ビット 7: **IRP**: レジスタバンク選択ビット (間接アドレッシング用)
1 = バンク 2, 3 (100h - 1FFh)
0 = バンク 0, 1 (00h - FFh)
IRP ビットはリザーブなので常に 0 にしておいてください。

ビット 6-5: **RP1:RP0**: レジスタバンク選択ビット (直接アドレッシング用)
11 = バンク 3 (180h - 1FFh)
10 = バンク 2 (100h - 17Fh)
01 = バンク 1 (80h - FFh)
00 = バンク 0 (00h - 7Fh)
バンクはそれぞれ 128 バイト。RP1 ビットはリザーブなので常に 0 にしておいてください。

ビット 4: **TO**: タイムアウトビット
1 = 電源オン後、CLRWDT 命令実行後、SLEEP 命令実行後
0 = WDT タイムアウト発生

ビット 3: **PD**: 電源切断ビット
1 = 電源オン後、CLRWDT 命令実行
0 = SLEEP 命令実行

ビット 2: **Z**: ゼロビット
1 = 計算、ロジック演算の結果がゼロ
0 = 計算、ロジック演算の結果がゼロ以外

ビット 1: **DC**: デジットキャリー / ボロービット (ADDWF, ADDLW, SUBLW, SUBWF 命令) (ボローは極性が反転)
1 = 結果の下位 4 ビット目からキャリー出力発生
0 = 結果の下位 4 ビット目からキャリー出力なし

ビット 0: **C**: キャリー / ボロービット (ADDWF, ADDLW, SUBLW, SUBWF 命令)
1 = 結果の最上位ビットからキャリー出力発生
0 = 結果の最上位ビットからキャリー出力なし
注意: ボローは極性が反転します。第二オペランドの 2 の補数を足すことで引き算を実行します。RRF、RLF 命令では指定したレジスタの最上位、または、最下位ビットがロードされます。

PIC12CE67X

4.2.2.2 OPTION レジスタ

OPTION レジスタはリード、ライト共に可能なレジスタで、TMR0/WDT プリスケアラ、外部 INT 割り込み、TMR0、GPIO の弱プルアップを制御するビットが割り当てられています。

注意： TMR0 のプリスケアラを 1:1 にするには、PSA ビット (OPTION<3>) をセットして、ウォッチドッグタイマーにプリスケアラを割り当てます。

図 4-4: OPTION レジスタ (アドレス 81h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1																											
GPPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0																											
ビット 7				ビット 0																														
<div>ビット 7: GPPU: 弱プルアップイネーブル 1 = 弱プルアップ使用しない 0 = 弱プルアップ使用可能 (GP0, GP1, GP3)</div> <div>ビット 6: INTEDG: 割り込みエッジ 1 = GP2/INT ピン立ち上がりで割り込み発生 0 = GP2/INT ピン立ち下がりで割り込み発生</div> <div>ビット 5: T0CS: TMR0 クロックソース選択ビット 1 = GP2/T0CKI/AN2 ピンから入力 0 = 内部命令サイクルクロック (CLKOUT)</div> <div>ビット 4: T0SE: TMR0 ソースエッジ選択ビット 1 = GP2/T0CKI/AN2 ピンへの入力が High から Low でインクリメント 0 = GP2/T0CKI/AN2 ピンへの入力が Low から High でインクリメント</div> <div>ビット 3: PSA: プリスケーラ割り当てビット 1 = プリスケーラを WDT へ割り当てる 0 = プリスケーラを Timer0 モジュールへ割り当てる</div> <div>ビット 2-0: PS2:PS0: プリスケーラレート選択ビット</div> <div><table><tr><th>ビット値</th><th>TMR0 レート</th><th>WDT レート</th></tr><tr><td>000</td><td>1 : 2</td><td>1 : 1</td></tr><tr><td>001</td><td>1 : 4</td><td>1 : 2</td></tr><tr><td>010</td><td>1 : 8</td><td>1 : 4</td></tr><tr><td>011</td><td>1 : 16</td><td>1 : 8</td></tr><tr><td>100</td><td>1 : 32</td><td>1 : 16</td></tr><tr><td>101</td><td>1 : 64</td><td>1 : 32</td></tr><tr><td>110</td><td>1 : 128</td><td>1 : 64</td></tr><tr><td>111</td><td>1 : 256</td><td>1 : 128</td></tr></table></div>								ビット値	TMR0 レート	WDT レート	000	1 : 2	1 : 1	001	1 : 4	1 : 2	010	1 : 8	1 : 4	011	1 : 16	1 : 8	100	1 : 32	1 : 16	101	1 : 64	1 : 32	110	1 : 128	1 : 64	111	1 : 256	1 : 128
ビット値	TMR0 レート	WDT レート																																
000	1 : 2	1 : 1																																
001	1 : 4	1 : 2																																
010	1 : 8	1 : 4																																
011	1 : 16	1 : 8																																
100	1 : 32	1 : 16																																
101	1 : 64	1 : 32																																
110	1 : 128	1 : 64																																
111	1 : 256	1 : 128																																

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
- n = POR リセットによる値

PIC12CE67X

4.2.2.3 INTCON レジスタ

INTCON レジスタはリード、ライト可能なレジスタで、TMRO レジスタオーバーフロー割り込み、GPIO ピン変化による割り込み、外部 INT ピン割り込みのイネーブルビット、フラグビットが割り当てられています。

注意： 割り込みフラグはイネーブルビットやグローバルイネーブルビット
GIE(INTCON<7>) に関係なく割り込み条件が起きるとセットされます。

図 4-5: INTCON レジスタ (アドレス 0Bh, 8Bh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	GPIE	TOIF	INTF	GPIF
ビット 7							ビット 0
<p>ビット 7:GIE: グローバル割り込みイネーブルビット 1 = マスクされていないすべての割り込みを発生可能にする 0 = すべての割り込みを発生させない</p> <p>ビット 6:PEIE: 周辺機能割り込みイネーブルビット 1 = マスクされていないすべての周辺機能割り込みを発生可能にする 0 = すべての周辺機能割り込みを発生させない</p> <p>ビット 5:TOIE: TMRO オーバーフロー割り込みイネーブルビット 1 = TMRO 割り込みを発生可能にする 0 = TMRO 割り込みを発生させない</p> <p>ビット 4:INTE: INT 外部割り込みイネーブルビット 1 = GP2/INT ピンの外部割り込みを発生可能にする 0 = GP2/INT ピンの外部割り込みを発生させない</p> <p>ビット 3:GPIE: GPIO ピン変化による割り込みのイネーブルビット 1 = GPIO ピン変化した時、割り込みを発生可能にする 0 = GPIO ピン変化した時、割り込みを発生させない</p> <p>ビット 2:TOIF: TMRO オーバーフロー割り込みビット 1 = TMRO レジスタがオーバーフローした (ソフトウェアでクリアにする必要あり) 0 = TMRO レジスタがオーバーフローしていない</p> <p>ビット 1:INTF: INT 外部割り込みフラグビット 1 = GP2/INT の外部割り込みが発生した (ソフトウェアでクリアにする必要あり) 0 = GP2/INT の外部割り込みが発生していない</p> <p>ビット 0:GPIF: 変化フラグビットの GPIO 割り込み 1 = GP0、GP1、GP3 ピンの入力信号レベルが変化した (ソフトウェアでクリアにする必要あり) 0 = GP0、GP1、GP3 ピンの入力信号レベルが変化していない</p>							

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
- n = POR リセットによる値

PIC12CE67X

4.2.2.4 PIE1 レジスタ

このレジスタには、周辺機能の割り込み用の個別のイネーブルビットが割り当てられています。

注意： 周辺機能割り込みをすべてイネーブルにするためには PIE ビット (INTCON<6>) をセットしておく必要があります。

図 4-6: PIE1 レジスタ (アドレス 8Ch)PIR1 REGISTER

U-0	R/W-0	U-0	U-0	U-0	U-0	U-0	U-0
—	ADIE	—	—	—	—	—	—
ビット 7							ビット 0
<div><div>ビット 7:未使用：「0」とリードされる</div><div>ビット 6:ADIE: A/D コンバータ割り込みイネーブルビット 1 = A/D 割り込みを発生可能にする 0 = A/D 割り込みを発生させない</div><div>ビット 5-0: 未使用：「0」とリードされる</div></div> <div><div>R = リード可能なビット</div><div>W = ライト可能なビット</div><div>U = 未使用ビット、「0」とリードされる</div><div>- n = POR リセットによる値</div></div>							

PIC12CE67X

4.2.2.5 PIR1 レジスタ

このレジスタには、周辺機能割り込み用の個別のフラグビットが割り当てられています。

注意： 割り込みフラグはイネーブルビットやグローバルイネーブルビット GIE (INTCON<7>) に関係なく割り込み条件が起きるとセットされます。割り込みをイネーブルにする前にソフトウェアで割り込みフラグビットをクリアしてください。

図 4-7: PIR1 レジスタ (アドレス 0Ch)

U-0	R/W-0	U-0	U-0	U-0	U-0	U-0	U-0
—	ADIF	—	—	—	—	—	—
ビット 7				ビット 0			

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
- n = POR リセットによる値

ビット 7: **未使用** : 「0」とリードされる

ビット 6: **ADIF**: A/D コンバータ割り込みフラグビット
1 = A/D 変換が完了した
0 = A/D 変換が完了していない

ビット 5-0: **未使用** : 「0」とリードされる

PIC12CE67X

4.2.2.6 PCON レジスタ

電源制御 (PCON) レジスタには、パワーオンリセット (POR)、外部 MCLR リセット、WDT リセットを区別するためのフラグビットが割り当てられています。

図 4-8: PCON レジスタ (アドレス 8Eh)

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	U-0
—	—	—	—	—	—	POR	—
ビット 7						ビット 0	

ビット 7-2: **未使用**：「0」とリードされる

ビット 1: **POR**: パワーオンリセットステータスビット

1 = パワーオンリセットされなかった

0 = パワーオンリセットされた (パワーオンリセット後ソフトウェアで 1 にセットする必要あり)

ビット 0: **未使用**：「0」とリードされる

R = リード可能なビット

W = ライト可能なビット

U = 未使用ビット、「0」とリードされる

- n = POR リセットによる値

PIC12CE67X

4.2.2.7 OSCCAL レジスタ

オシレータキャリブレーションレジスタ (OSCCAL) は、内部 4MHz オシレータの較正に使用します。このレジスタには、キャリブレーション用の 6 ビットが割り当てられています。キャリブレーション値が大きいく、周波数が高くなります。

図 4-9: OSCCAL レジスタ (アドレス 8Fh)

R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0
CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	—	—

ビット 7

ビット 0

R = リード可能なビット
W = ライト可能なビット
U = 未使用のビット、
「0」とリードされる
- n = POR リセットによる値

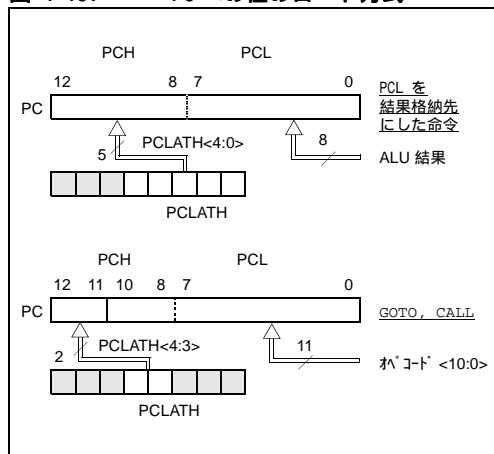
ビット 7-2: **CAL<5:0>**: キャリブレーション

PIC12CE67X

4.3 PCL と PCLATH

プログラムカウンタ (PC) は 13 ビット幅です。下位バイトはリード、ライト可能な PCL レジスタです。上位バイト (PC<12:8>) は直接にリード、ライトはできません。PCLATH レジスタから値がロードされます。どのリセットでも PC はクリアされます。図 4-10 では、2 通りの PC へのロード方式を示します。図の上の例では、PCL へのライトの場合のロード方式を示します。(PCLATH<4:0>→PCH) 図の下の例では、CALL、GOTO 命令の場合の PC へのロード方式を示します。(PCLATH<4:3>→PCH)

図 4-10: PC への値のロード方式



4.3.1 計算によるプログラム分岐

プログラムカウンタにオフセットを足すと、計算によるプログラム分岐が実行できます (ADDWF PCL)。計算によるプログラム分岐を使用してテーブルをリードする時、テーブルが PCL のメモリ領域 (256 バイトブロックごと) をまたがる場合は注意が必要です。アプリケーションノートの「Implementing a Table Read」(AN556) を参照してください。

4.3.2 スタック

PIC12CE67X シリーズのハードウェアスタックは 8 レベルディープ × 13 ビット幅です。スタックの領域はプログラムやデータの領域の一部ではありません。スタックポインタはリード、ライトできません。CALL 命令が実行された場合、または、割り込みが発生した場合、PC はスタックへ PUSH されます。RETURN、RETLW、RETFIE 命令の実行によりスタックは POP されます。PCLATH レジスタは PUSH、POP 動作の影響を受けません。

スタックは、回転バッファとして動作します。スタックが 8 回プッシュされた後に 9 回目のプッシュは 1 回目のプッシュで格納された値に上書きされます。10 回目のプッシュは 2 回目のプッシュにという様に上書きされます。

Note 1: スタックオーバーフロー、アンダーフローを示すステータスビットはありません。

Note 2: PUSH、POP は命令でもモニタリングでもありません。PUSH と POP は、CALL、RETURN、RETLW および RETFIE 命令実行、または、割り込み発生の際に行われる動作です。

4.4 プログラムメモリのページ

ページ選択ビット PCLATH<4:3> は、複数ページが使用可能な場合にプログラムメモリをアクセスするために使用しますが、PIC12CE67X では使用しません。PIC12CE67X の PCLATH<4:3> を汎用リード/ライトビットとして使用することは、将来の製品との上位互換性を保てない可能性があるため推奨できません。

4.5 間接アドレッシング、INDF レジスタと FSR レジスタ

INDF レジスタは物理的には存在しないレジスタです。INDF レジスタへのアドレッシングは間接アドレッシングになります。

INDF レジスタを使用して間接アドレッシングができます。INDF レジスタを使用するすべての命令は、実際にはファイル選択レジスタ FSR によって指定されたレジスタにアクセスします。INDF 自体を間接アドレッシング (FSR = '0') でリードすると、00h となります。間接アドレッシングでの INDF レジスタへのライトは何も行われません (ただし、ステータスビットは影響します)。図 4-11 に示すように、8 ビットの FSR レジスタと IRP ビット (STATUS<7>) を連結して有効な 9 ビットアドレスとなります。しかし、PIC12CE67X では IRP は使用しません。

間接アドレッシングを使用して、RAM 領域 20h-2Fh をクリアにする簡単なプログラムを例 4-1 に示します。

例 4-1: 間接アドレッシング

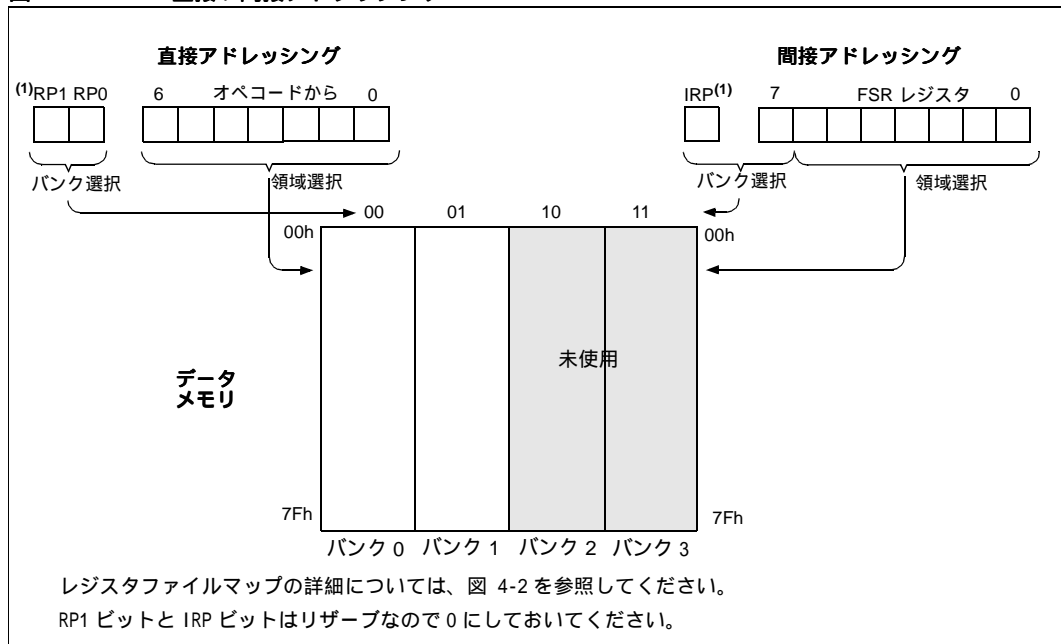
```

movlw 0x20 ;initialize pointer
movwf FSR ;to RAM
NEXT   clrf INDF ;clear INDF register
       incf FSR,F ;inc pointer
       btfss FSR,4 ;all done?
       goto NEXT ;no clear next
CONTINUE
       : ;yes continue

( ; ポインタを初期化
; RAM へ
; INDF レジスタをクリア
; inc ポインタ
; すべて終了?
; いいえ、次をクリア
; はい、続けます )

```

図 4-11: 直接 / 間接アドレッシング



PIC12CE67X

メモ:

PIC12CE67X

5.0 I/O ポート

他のレジスタと同様に I/O レジスタはプログラム制御によりリード、ライト可能です。しかし、リード命令（例：MOVWF GPIO,W）はピンの入出力とは関係なく、常に I/O ピンをリードします。リセットでは、I/O 制御レジスタがすべて 1 なので、すべての I/O ポートは入力となります。（入力はハイインピーダンス）

5.1 GPIO

GPIO は、8 ビットの I/O レジスタです。下位 6 ビット (GP5:GP0) が使用されます。ビット 6 と 7 (SDA と SCL) は EEPROM データメモリ用です。SDL と SCL の使用方法は第 6.0 項と付録 A を参照してください。GP3 は入力オンリーで出力はできません。コンフィギュレーションワードの設定により I/O ピンの機能を変更できます。GPIO 以外の機能として動作している時、ポートリードするとピンは「0」とリードされます。GP0、GP1、GP3 には弱プルアップ、ピン変化による割り込みを設定することができます。ピン変化による割り込み、弱プルアップ機能は各ピン毎の On/Off 選択はできません。ピン 4 が MCLR に設定されている時は、弱プルアップは常に On 状態です。このピンについてはピン変化による割り込みは発生しません、および、GP3 は「0」とリードされます。INTCON<3>を設定すると、ピン変化による割り込みが発生可能になります。外部発振の設定により、GP4 と GP5 の GPIO 機能は使用できなくなります。

5.2 TRIS レジスタ

このレジスタは GPIO のデータ方向を制御します。TRIS レジスタのビットが 1 の時、そのビットに対応する出力ドライバはハイインピーダンスモードになります。0 の時は出力バッファを出力可能にして、その選択されたピンのデータラッチの内容をピンに出力します。（入力オンリーの GP3 以外）GP3 の TRIS ビットは「1」とリードされます。

注意： ポートリードは、データ出力ラッチではなく、ピンをリードします。すなわち、ピンの出力ドライバが出力可能で High 出力している時、外部回路がそのピンを Low にプルダウンしていれば、そのポートは 0 とリードされます。

リセットにより TRIS レジスタはすべて「1」になり、すべてのピンを入力になります。

表 5-1: ポートレジスタ一覧

アドレス	名称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	パワーオンリセットによる値	パワーオン以外のリセットによる値
85h	TRIS	—	—	GPIO データ方向レジスタ						--11 1111	--11 1111
81h	OPTION	GPPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
03h	STATUS	IRP ⁽¹⁾	RP1 ⁽¹⁾	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
05h	GPIO	SCL	SDA	GP5	GP4	GP3	GP2	GP1	GP0	11xx xxxx	11uu uuuu

凡例： 網掛け部分はポートレジスタでは使用しません。「0」とリードされます。- = 未使用、「0」とリードされます。x = 不明、u = 不変
q = 値については第 9.4 項を参照してください。

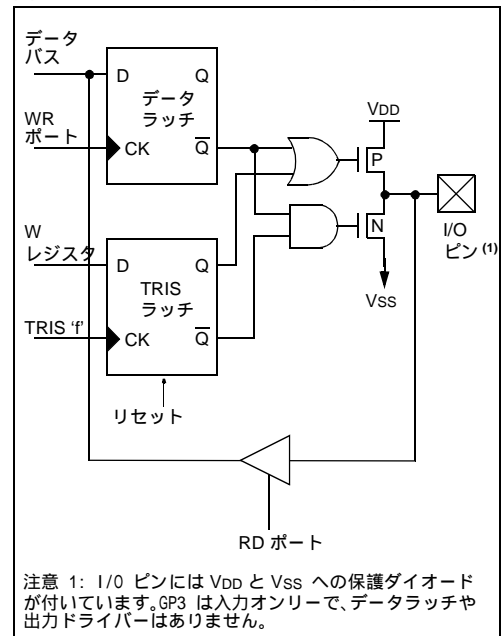
注意 1: PIC12CE67X では、IRP と RP1 のビットはリザーブです。0 にしておいてください。

5.3 I/O インターフェース

I/O ポートピンの等価回路を図 5-1 に示します。入力オンリーの GP3 以外のすべてのピンは、入出力設定可能です。入力設定では、ポートはラッチなしです。入力命令（例：MOVWF GPIO,W）によりリードされるまで入力が存在しなければいけません。出力はラッチされ、出力ラッチが再度ライトされるまでは値は維持されます。ポートピンを出力として使用するには、TRIS レジスタのそのピンと対応する方向制御ビットをクリア (=0) します。入力として使用する場合は、対応する TRIS ビットをセットします。すべての I/O ピン (GP3 を除く) は各ピン毎に入出力を選択できます。

注意： パワーオンリセットでは、GP0、GP1、GP2、GP4 はアナログ入力に設定されます。アナログ入力に設定されている時は、ポートは「0」とリードされます。

図 5-1: I/O ピンの等価回路



PIC12CE67X

5.4 I/O プログラミングの注意点

5.4.1 双方向 I/O ポート

ライトを行う命令はすべて、内部でリード後、ライトを行います。例えば、BCF 命令と BSF 命令はレジスタを CPU にリード、ビット操作を実行、レジスタに結果をライトします。入出力両方が設定されているポートにその様な命令を使用する時は注意が必要です。例えば、GPIO のビット 5 を BSF した場合、GPIO の全 8 ビットが CPU にリードされます。その後、BSF 操作がビット 5 に実行され、CPU からその 8 ビットが出力ラッチにライトされます。その時、GPIO の別のビットが双方向の I/O ピンとして使用されていて、(例：ビット 0) 入力設定の場合、ピン上の入力信号は CPU にリードされ、そのピンのデータラッチに再度ライトされるので、元の内容を上書きすることになります。ピンが入力モードのままである限り、問題はありません。しかし、ビット 0 が出力に切り替わるとデータラッチの内容が不明になる恐れがあります。

ポートレジスタをリードするというのは、ポートピンの値をリードすることで、ポートレジスタへのライトとは、ポートラッチに値をライトすることです。ポートにリード - モディファイ - ライト命令 (例：BCF、BSF など) を使用する場合、そのポートのすべてのピンの値をリードし、リード値に対して命令実行して、結果をポートラッチにライトします。

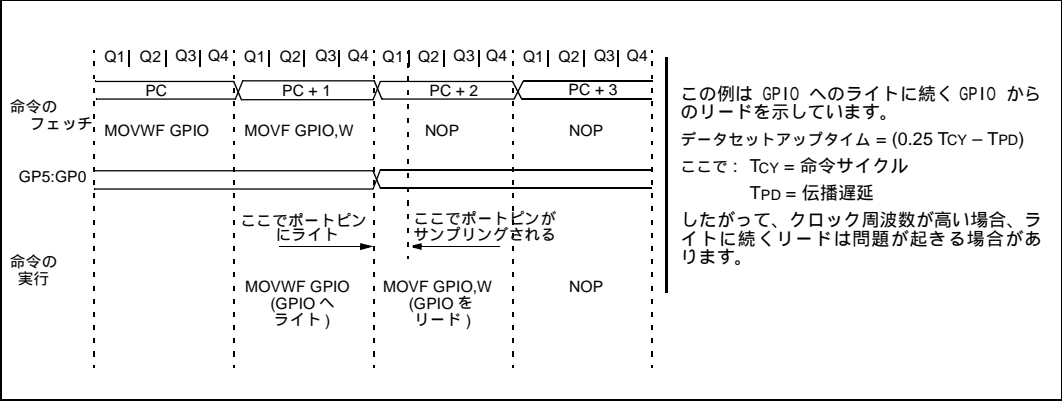
例 5-1 は、I/O ポートでの 2 つの連続したリード - モディファイ - ライト命令を示します。

例 5-1: I/O ポートでのリード - モディファイ - ライト命令

```
;Initial GPIO Settings
; GPIO<5:3> Inputs
; GPIO<2:0> Outputs
;
;          GPIO latch  GPIO pins
;          -----
; BCF  GPIO, 5  ;--01 -ppp  --11 pppp
; BCF  GPIO, 4  ;--10 -ppp  --11 pppp
; MOVLW 007h    ;
; TRIS GPIO      ;--10 -ppp  --11 pppp
;
;Note that the user may have expected the pin
;values to be --00 pppp. The 2nd BCF caused
;GP5 to be latched as the pin value (High).
(ポートのピンは --00 pppp とはなりません。2 回目の
BCF 実行の時、GP5 は 1 になります。)
```

Low、または、High を出力しているピンに対しては、レベル変更のためのドライブを外部のデバイスから行わないでください。(「ワイヤード OR」、「ワイヤード AND」) 高出力電流によりチップが損傷を受ける恐れがあります。

図 5-2: I/O の連続動作



6.0 EEPROM データメモリの動作

PIC12CE673 と PIC12CE674 は 16 バイトの EEPROM データメモリを搭載しています。この EEPROM メモリは消去 / 書き込みサイクル 1,000,000 回、データ保持 40 年以上です。また、この EEPROM データメモリは、双方向 2 線バスとデータ送信プロトコルをサポートしています。2 線とは GPIO レジスタ (SFR 06h) のビット 6 とビット 7 に割り当てられているシリアルデータ (SDA) とシリアルクロック (SCL) です。I/O ピンに接続している GP0-GP5 とは異なり、SDA と SCL は内部の EEPROM データメモリのみに接続されています。ほとんどのアプリケーションでは必要となるのは以下の機能だけです。

```
; Byte_Write: Byte write routine
;
;   Inputs:      EEPROM Address      EEADDR
;               EEPROM Data          EEDATA
;
;   Outputs:     Return 01 in W if OK,
;               else return 00 in W
;
;
; Read_Current: Read EEPROM at address
;               currently held by EE device.
;
;   Inputs:      NONE
;
;   Outputs:     EEPROM Data          EEDATA
;               Return 01 in W if OK,
;               else return 00 in W
;
;
; Read_Random: Read EEPROM byte at supplied address
;
;   Inputs:     EEPROM Address      EEADDR
;
;   Outputs:     EEPROM Data          EEDATA
;               Return 01 in W if OK,
;               else return 00 in W
```

この機能のコードはまだ作成完了していませんが、作成完了後ウェブサイト (www.microchip.com) に掲載予定です。ソースコードに FLASH67X.INC をインクルードする、または、FLASH67X.ASM をリンクしてアクセスするコードとなる予定です。

6.0.1 シリアルデータ

SDA はアドレス送信とデータ入出力に使用する双方向ピンです。

通常のデータ転送では、SDA が変化できるのは SCL が Low の間だけです。SCL が High の時の SDA の変化は START コンディション、STOP コンディションに使用します。

6.0.2 シリアルクロック

SCL 入力はデータ送受信の同期に使用します。

6.1 バスの特性

以下の**バスプロトコル**は、EEPROM データメモリに使用します。この項では「プロセッサ」という言葉は、PIC12CE67X の中でソフトウェアを介して EEPROM のインターフェースを行う部分を意味します。

- ・バスがビジーの場合はデータ転送を開始してはいけません。

データ転送中、クロックラインが High の時はデータラインを変化させてはいけません。クロックラインが High の時にデータラインが変化した場合、START コンディション、または、STOP コンディションとして割込みが発生します。

従って、バスの状態は次のように定義されます。

(図 6-1)。

6.1.1 バスビジーでない (A)

データとクロックラインの両方が High です。

6.1.2 データ転送開始 (B)

クロック (SCL) が High の時に SDA ラインが High から Low に移行すると START コンディションとなります。すべてのコマンドの前には START コンディションが必要です。

6.1.3 データ転送終了 (C)

クロック (SCL) が High の時に SDA ラインが Low から High へ移行すると STOP コンディションとなります。すべての動作は STOP コンディションで終了します。

6.1.4 データ有効 (D)

START コンディション後、クロック信号が High の間、データラインが変化しなければ、データが有効であることを表します。

ライン上のデータはクロック信号が Low の間に変化しなければなりません。1 クロックパルスにつき 1 ビットのデータがあります。

それぞれのデータ転送は START コンディションにより始まり、STOP コンディションで終わります。START コンディションから STOP コンディションまでに転送されるデータのバイト数は、プロセッサにより決定するので、理論的には無限です。

6.1.5 アクノレッジ

EEPROM は、アドレス指定されると、各バイト受信後にアクノレッジを生成します。プロセッサはこのアクノレッジビット用のクロックパルスを生成しなければなりません。

注意： アクノレッジビットは、内部書き込みサイクルが実行中は発生しません。

アクノレッジを生成するデバイスは、アクノレッジ用クロックパルスの間 SDA ラインをプルダウンします。(アクノレッジ用クロックパルスが High の期間 SDA ラインを安定して Low にする) 当然、セットアップ時間とホールド時間は考慮しなければなりません。プロセッサは、EEPROM からリードの時、リードする最終バイトでアクノレッジビットを生成しないことにより、EEPROM にデータ転送の終了を示す信号を送ります。この場合、EEPROM はデータラインを High にして、プロセッサが STOP コンディションを生成できるようにします (図 6-2)。

PIC12CE67X

図 6-1: シリアルバスでのデータ転送シーケンス

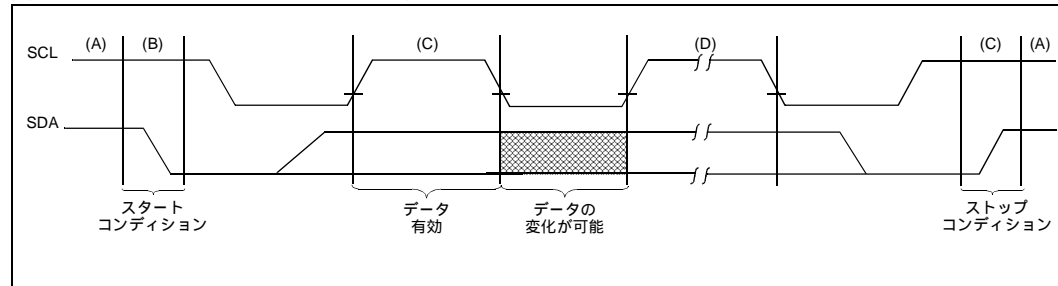
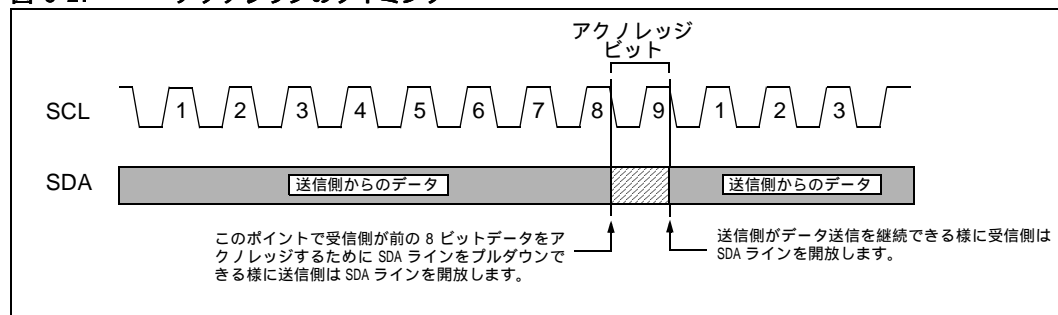


図 6-2: アクノレッジのタイミング

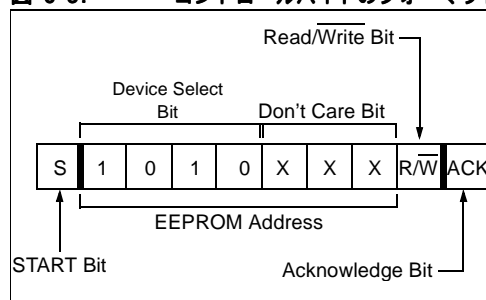


6.2 デバイスのアドレス

START コンディション発生後は、プロセッサは EEPROM アドレスと実行動作を示すリード / ライトビットで構成されるコントロールバイトを送信します。EEPROM アドレスは、4 ビットのデバイスコード (1010) で構成され、次に 3 ビットの無効ビットが続きます。

コントロールバイトの最終ビットは実行する動作を決定します。1 に設定されたときは、リード動作が選択され、0 に設定されたときは、ライト動作が選択されます (図 6-3)。EEPROM アドレスが一致していることを監視します。EEPROM アドレスが正しく、書き込みモードでない時はアクノレッジビットを生成します。

図 6-3: コントロールバイトのフォーマット



6.3 ライト動作

6.3.1 バイトライト

プロセッサからの START ビットに続き、デバイスコード (4 ビット)、無効ビット (3 ビット)、R/W ビット (論理 Low) がプロセッサからバス上に送信されます。これで、第 9 クロックサイクルでアクノレッジを生成後、ワードアドレスバイトが続くことをアドレス指定された EEPROM に示します。従って、次にプロセッサが送信するバイトはワードアドレスで、アドレスポイントに書き込まれます。デバイスは下位 4 ビットアドレスのみ使用し、上位 4 ビットは無効となります。アドレスバイトはアクノレッジ可能です。プロセッサはアドレス指定したメモリロケーションに書き込むデータワードを送信します。メモリは再度アクノレッジを行い、プロセッサは STOP コンディションを生成します。それにより内部ライトサイクルが起動し、そのライトサイクル中はアクノレッジを生成しません (図 6-5)。バイトライトコマンド後は、内部アドレスカウンタはインクリメントされず、書き込みを行ったアドレスと同じ位置を示します。ライトコマンドの全シーケンスが終了する前に、シーケンスのどの時点でもデバイスに STOP ビットが送信された場合、コマンドは中断し、データの書き込みは行われません。ストップビットの送信前に 8 ビット以上のデータビットが送信された場合、デバイスはそれ以前にロードしたバイトをクリアし、再度データバッファのロードを開始します。1 データバイトを超えるデータがデバイスに送信され、8 データビットがすべて送信される前にストップビットが送信された場合、ライトコマンドは中断し、データの書き込みは行われません。EEPROM メモリは、 V_{CC} が V_{DDMIN} を下回った場合に内部消去 / ライトロジックを無効にする V_{CC} スレッシュホルド検出回路を使用します。

6.4 アクノレッジのポーリング

EEPROM はライトサイクルではアクノレッジを行わないので、アクノレッジをポーリングしてサイクルがいつ完了するかを判定します (この機能を使用してバスの処理量を最大にすることができます)。プロセッサからライトコマンドに対する STOP コンディションが発行されると、デバイスは内部タイミングを使用したライトサイクルを開始します。ACK ポーリングが直ちに起動できます。プロセッサは START コンディションとライトコマンド用のコントロールビット ($R/W = 0$) を送信します。デバイスがまだライトサイクル中でビジーであれば、ACK が返されることはありません。ACK が返されない場合、START ビットとコントロールバイトを再送信します。このサイクルが終了すると、デバイスが ACK を返すので、プロセッサは次のリードまたはライトコマンドに進むことができます。図 6-4 のフロー図を参照してください。

図 6-4: ACK ポーリングのフロー

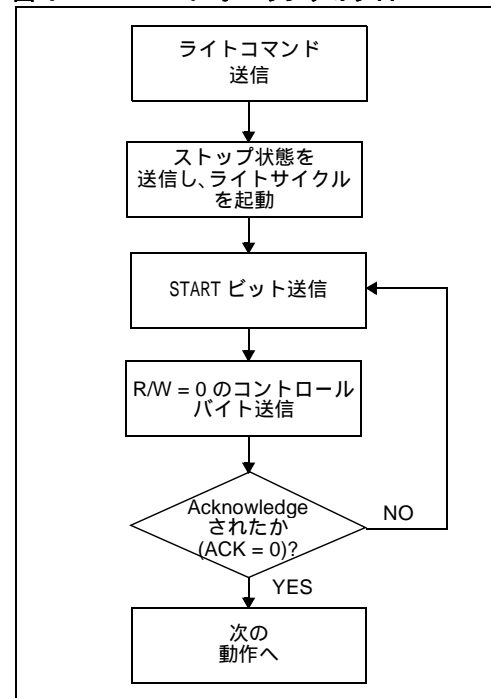
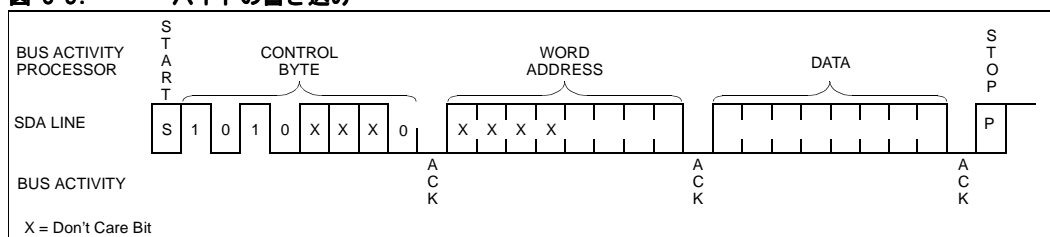


図 6-5: バイトの書き込み



PIC12CE67X

6.5 リード動作

リード動作は EEPROM アドレスの R/W ビットを 1 にセット以外はライト動作と同じ方法で開始します。リード動作の基本タイプには、カレントアドレスのリード、ランダムリード、連続リードの 3 種類があります。

6.5.1 カレントアドレスのリード

最後にアクセスされたワードのアドレスを保持するアドレスカウンタは内部で 1 ずつインクリメントします。従って、前回のリードがアドレス n にアクセスした場合、次のカレントアドレスのリードではアドレス $n+1$ からデータをアクセスします。R/W ビットが 1 にセットされた EEPROM アドレスを受信すると、EEPROM はアクノレッジを発行し、8 ビットのデータワードを送信します。プロセッサは転送をアクノレッジを発行せずに STOP コンディションを生成して、EEPROM は送信を終了します (図 6-6)。

6.5.2 ランダムリード

ランダムリード動作により、プロセッサはどのメモリロケーションでもランダムにアクセスできます。この種のリード動作を実行するには、まずワードアドレスをセットしなければなりません。そのためにワード

アドレスをライト動作を途中まで使用して EEPROM に送信します。ワードアドレス送信後、プロセッサはアクノレッジに続いて START コンディションを生成します。これはライト動作を終了させますが、内部アドレスポインタはセットされます。次にプロセッサは再びコントロールバイトを発行しますが、この R/W ビットは 1 にセットします。EEPROM はアクノレッジを発行後、8 ビットのデータワードを送信します。プロセッサはアクノレッジを発行せずに STOP コンディションを生成するので、EEPROM は送信を終了します (図 6-7)。このコマンドの後、内部アドレスカウンタは今リードされたアドレスの次のアドレスを示します。

6.5.3 連続リード

連続リードの起動方法はランダムリードの場合とほとんど同じですが、デバイスが最初のデータバイトを送信した後、ランダムリードの時に STOP コンディションを発行するのとは異なり、プロセッサはアクノレッジを発行します。これで EEPROM が次に連続して指定された 8 ビットワードを送信するよう指示したことになります (図 6-8)。

各リード動作の完了時に 1 ずつインクリメントされる内部アドレスポインタがあるので、連続リードを実行できます。このアドレスポインタによりメモリの内容全体を 1 動作中にシリアルにリードできます。

図 6-6: カレントアドレスのリード

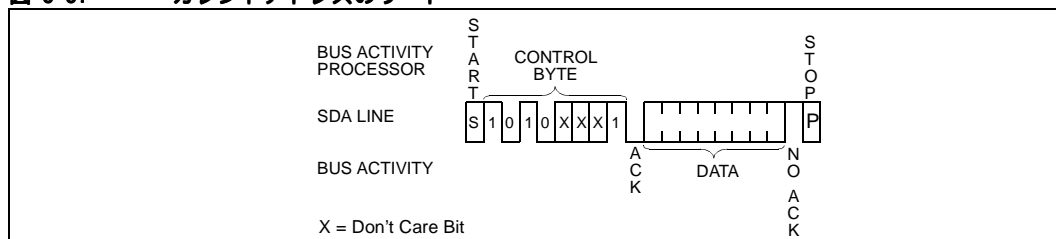


図 6-7: ランダムリード

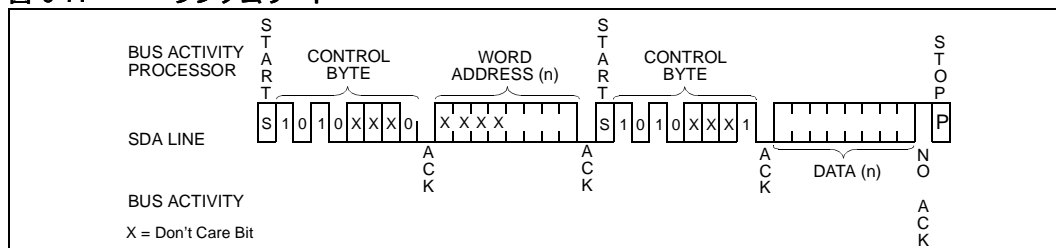
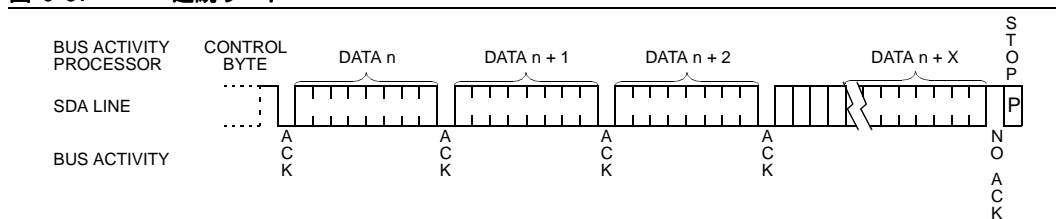


図 6-8: 連続リード



7.0 タイマ0 モジュール

タイマ0 モジュールのタイマ / カウンタは次の機能を持っています。

- ・ 8 ビットタイマ / カウンタ
- ・ リード、ライト可能
- ・ プログラマブル 8 ビットプリスケアラ
- ・ 内部 / 外部クロック選択
- ・ FFh から 00h へオーバーフロー時の割り込み
- ・ 外部クロックのエッジ選択

図 7-1 はタイマ0 モジュールの概略ブロック図です。

タイマモードを選択するには TOCS ビット (OPTION 5) を 0 にクリアします。タイマモードではタイマ0 モジュールは (プリスケアラなしの場合) 命令サイクル毎にインクリメントします。TMR0 レジスタにライトが実行された場合、それに続く 2 サイクルはインクリメントされません (図 7-2、図 7-3)。ユーザは TMR0 レジスタに値を書き込むことでそれを調整することができます。

カウンタモードを選択するには、TOCS ビット (OPTION 5) を 1 にセットします。カウンタモードでは、タイマ0 は RA4/TOCK1 ピンの立ち上がり、または、立ち下がりエッジごとにインクリメントします。インクリメントするエッジは、タイマ0 のソースエッジ選択ビット TOSE (OPTION 4) により決定します。

立ち上がりエッジを選択する時は TOSE ビットを 0 にクリアします。外部クロック入力 of の制限事項については、第 7.2 項で記述します。

プリスケアラはタイマ0 モジュールとウォッチドッグタイマに共用されていて、どちらか片方に使用できます。プリスケアラの割り当て指定はコントロールビット PSA (OPTION<3>) によりソフトウェアで制御します。PSA ビットを 0 にクリアするとプリスケアラはタイマ0 モジュールに割り当てられます。プリスケアラはリードもライトもできません。プリスケアラがタイマ0 モジュールに割り当てられた時、プリスケアラ値は 1:2、1:4、...、1:256 から選択できます。プリスケアラの動作については、第 7.3 項で説明します。

7.1 タイマ0 割り込み

TMR0 の割り込みは、TMR0 レジスタが FFh から 00h にオーバーフローした時に発生します。このオーバーフローにより T0IF ビット (INTCON<2>) がセットされます。この割り込みをマスクする時は T0IE ビット (INTCON<5>) をクリアします。この割り込みを再度使用にする前にタイマ0 モジュール割り込み処理ルーチン内で T0IF ビットをソフトウェアでクリアします。このタイマはスリープ時にはオフになっているので、TMR0 割り込みはプロセッサをスリープからウェイクすることはできません。タイマ0 割り込みのタイミングについては図 7-4 をご覧ください。

図 7-1: タイマ0のブロック図

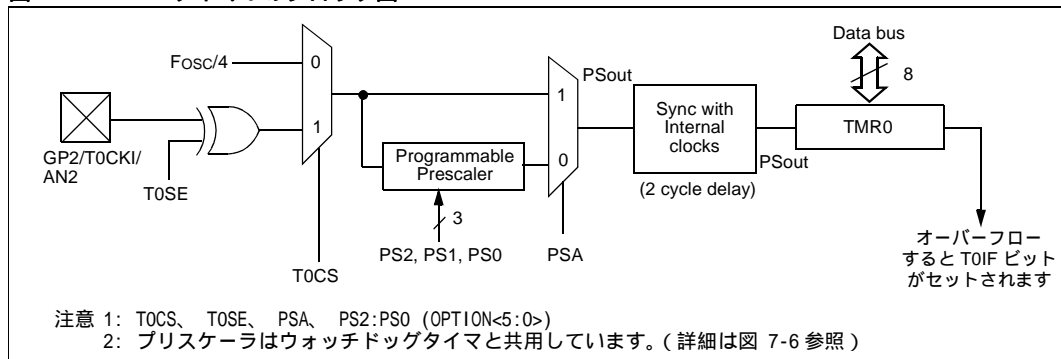
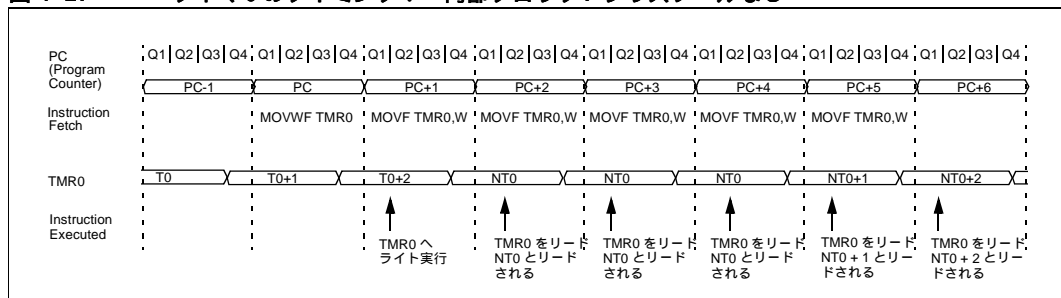


図 7-2: タイマ0のタイミング： 内部クロック / プリスケールなし



PIC12CE67X

図 7-3: タイマ0のタイミング： 内部クロック/プリスケール1：2

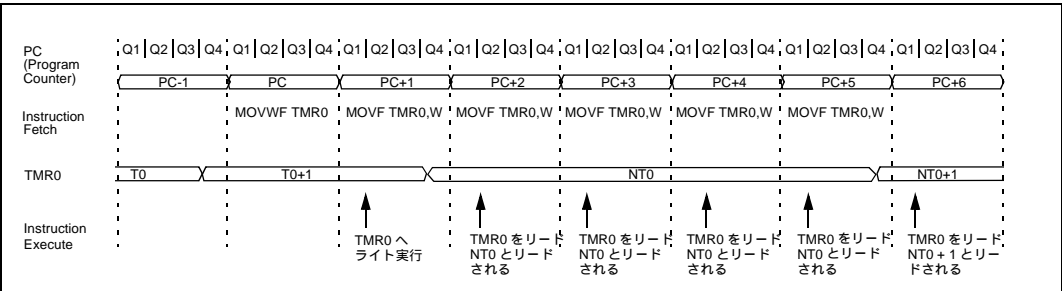
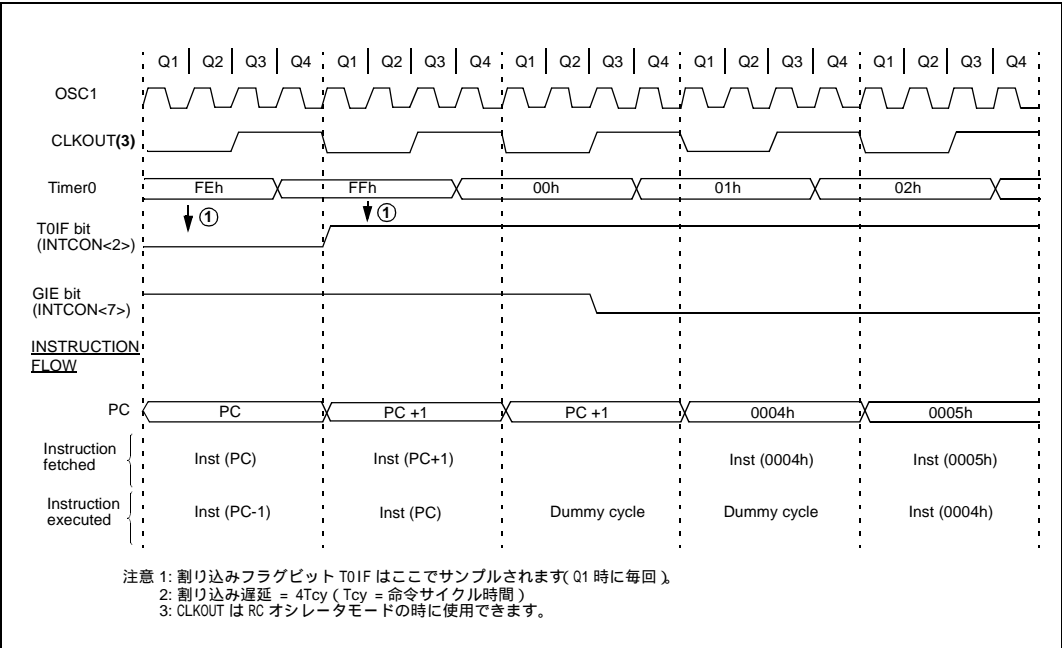


図 7-4: タイマ0 割り込みタイミング



7.2 外部クロックによるタイマ0の使用法

外部クロックがタイマ0に入力されるときは、必要条件を満たさなければなりません。その条件は内部位相クロック (T_{OSC}) との同期によるものです。また、同期後、タイマ0が実際にインクリメントするまで遅延があります。

7.2.1 外部クロックの同期

プリスケラを使用しないときは、外部クロック入力とはプリスケラ出力と同じです。T0CKI の内部位相クロックとの同期は、内部位相クロックの Q2 と Q4 サイクルでプリスケラ出力をサンプリングすることにより行います (図 7-5)。従って、T0CKI は少なくとも $2T_{OSC}$ (と 20ns の RC 遅延時間) の間 High、少なくとも $2T_{OSC}$ (と 20ns の RC 遅延時間) の間 Low になっている必要があります。デバイスの電氣的仕様を参照してください。

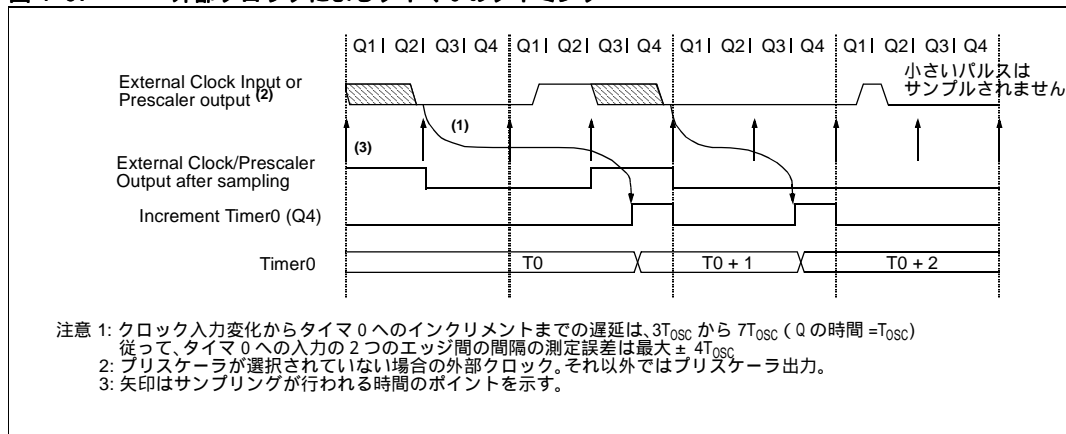
プリスケラ使用時には、外部クロック入力は、非同期リップルカウンタ型プリスケラにより分周し、プ

リスケラ出力が対称になるようにします。外部クロックがサンプリングの必要条件を満たすためには、リップルカウンタに注意しなければなりません。したがって、T0CKI は少なくとも $4T_{OSC}$ (40ns の RC 遅延時間) をプリスケラ値で割った周期でなければなりません。T0CKI の High 時間と Low 時間のパルス幅は 10ns 以上でなければいけません。デバイスの電氣的仕様については、パラメータ 40、41、42 を参照してください。

7.2.2 TMR0 のインクリメントの遅延

プリスケラ出力は内部クロックに同期されるので、外部クロックのエッジが発生した時からタイマ0モジュールが実際にインクリメントする時まで少しの遅れがあります。図 7-5 に外部クロックのエッジからタイマがインクリメントするまでの遅れを示します。

図 7-5: 外部クロックによるタイマ0のタイミング



PIC12CE67X

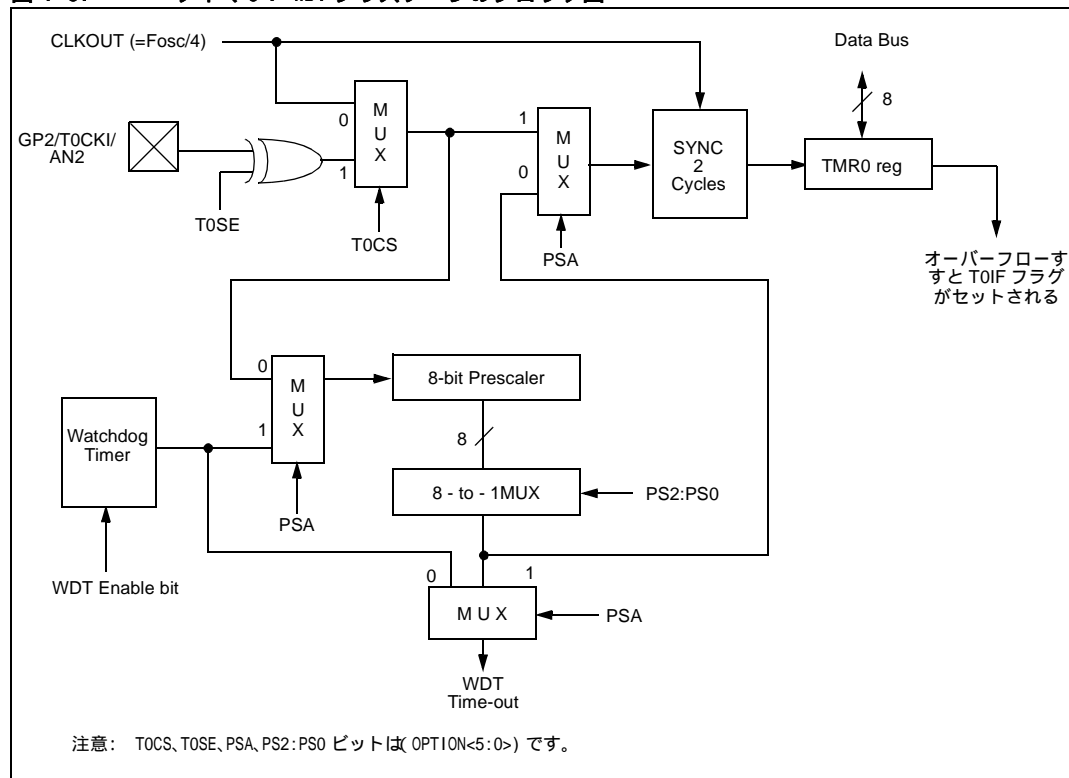
7.3 プリスケアラ

8 ビットカウンタは、タイマ 0 モジュール用のプリスケアラとして、または、ウォッチドッグタイマ用のポストスケアラとして使用できます (図 7-6)。簡略化のため、このデータシートではこのカウンタを「プリスケアラ」と呼びます。タイマ 0 とウォッチドッグタイマが共用するプリスケアラは 1 つしかありません。従って、プリスケアラがタイマ 0 モジュールに割り当てられている場合は、ウォッチドッグタイマ用のプリスケアラはないということです。また、その逆も言えます。

PSA ビットと PS2:PS0 ビット (OPTION<3:0>) は、プリスケアラの割り当てとプリスケール比を決定します。

タイマ 0 モジュールが割り当てられているときは、TMR0 レジスタに値をライトする命令の実行 (例えば CLRF 1、MOVWF 1、BSF 1、x... 等) によりプリスケアラはクリアされます。WDT タイマに割り当てられている時は、CLRWDI 命令の実行によりウォッチドッグタイマと一緒にプリスケアラはクリアされます。プリスケアラはリードもライトもできません。

図 7-6: タイマ 0 / WDT プリスケアラのブロック図



PIC12CE67X

7.3.1 プリスケール割り当ての切り替え

プリスケール割り当ては完全にソフトウェア制御なので、プログラム実行中に変更ができます。

注意： 望まないデバイスリセットを避けるために、プリスケールの割り当てをタイマ 0 から WDT に変更する時は、必ず次の様な命令シーケンスで実行します (例 7-1 参照)。この命令シーケンスは、WDT がオフの時にも実行する必要があります。

例 7-1: プリスケールの変更 (TIMER0→WDT)

```
BCF STATUS, RP0 ;Bank 0
CLRF TMR0 ;Clear TMR0 & Prescaler
BSF STATUS, RP0 ;Bank 1
CLRWDT ;Clears WDT
MOVLW b'xxxx1xxx' ;Select new prescale
MOVWF OPTION_REG ;value & WDT
BCF STATUS, RP0 ;Bank 0
```

プリスケールを WDT からタイマ 0 モジュールに変更する場合は、例 7-2 に示すシーケンスを実行してください。

例 7-2: プリスケールの変更 (WDT→TIMER0)

```
CLRWDT ;Clear WDT and
;prescaler
BSF STATUS, RP0 ;Bank 1
MOVLW b'xxxx0xxx' ;Select TMR0, new
;prescale value and
MOVWF OPTION_REG ;clock source
BCF STATUS, RP0 ;Bank 0
```

表 7-1: タイマ 0 に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	パワーオン リセットに よる値	他のリセット による値
01h	TMR0	Timer0 module's register								xxxx xxxx	uuuu uuuu
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	GPIE	TOIF	INTF	GPIF	0000 000x	0000 000u
81h	OPTION	GPPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h	TRIS	—	—	TRIS5	TRIS4	TRIS3	TRIS2	TRIS1	TRIS0	--11 1111	--11 1111

凡例： x = 不明、u = 不変、- = なし、0 としてリードします。網掛部分はタイマ 0 では使用しません。

PIC12CE67X

メモ :

8.0 A/D コンバータモジュール

A/D コンバータモジュールは4チャンネルのアナログ入力を持っています。

A/D コンバータモジュールはアナログ入力信号をそれに相当する8ビットのデジタル値に変換することができます。(A/D コンバータの使用方法についてはアプリケーションノート AN546 を参照) サンプル・アンド・ホールドの出力がコンバータの入力となり、そこから逐次比較回路を通して変換結果が生成されます。アナログ・リファレンス電圧はデバイスの正の電源電圧 (V_{DD})、GP1/AN1/ V_{REF} ピンの電圧レベルのどちらかをソフトウェアで選択します。このA/D コンバータはデバイスがスリープ中でも動作できます。

このA/D コンバータには次の3つのレジスタがあります。

- A/D 変換結果レジスタ (ADRES)
- A/D 制御レジスタ 0 (ADCON0)
- A/D 制御レジスタ 1 (ADCON1)

図 8-1 に示す ADCON0 レジスタは、A/D モジュールの動作を制御します。図 8-2 に示す ADCON1 レジスタはポートピンの機能を構成します。ポートピンはアナログ入力 (GP1 はリファレンス電圧ピンにも可能) または、デジタル I/O になります。

注意： ポートピンがアナログ入力設定 (リセット状態) の場合、ポートリード (MOVF GPIO, W) すると「0」とリードされます。

図 8-1: ADCON0 レジスタ (ADDRESS 1Fh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADCS1	ADCS0	r	CHS1	CHS0	GO/DONE	r	ADON
bit7							bit0

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
- n = POR リセットによる値

bit 7-6: **ADCS1:ADCS0:** A/D 変換クロック選択ビット
 00 = FOSC/2
 01 = FOSC/8
 10 = FOSC/32
 11 = FRC (RC 発振からのクロック)

bit 5: **Reserved**

bit 4-3: **CHS1:CHS0:** アナログチャンネル選択ビット
 00 = channel 0, (GP0/AN0)
 01 = channel 1, (GP1/AN1)
 10 = channel 2, (GP2/AN2)
 11 = channel 3, (GP4/AN3)

bit 2: **GO/DONE:** A/D 変換ステータスビット
 If ADON = 1
 1 = A/D 変換実行中 (このビットをセットすると A/D 変換を開始します。)
 0 = A/D 変換実行していない (このビットは A/D 変換完了時に自動的にハードウェアがクリアします。)

bit 1: **未使用**

bit 0: **ADON:** A/D On ビット
 1 = A/D コンバータモジュール動作中
 0 = A/D コンバータモジュール停止。動作電流は消費しない。

PIC12CE67X

図 8-2: ADCON1 レジスタ (アドレス 9Fh)

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	PCFG2	PCFG1	PCFG0

bit7

bit0

R = リード可能なビット
W = ライト可能なビット
U = 未使用ビット、「0」とリードされる
- n=PQR セットによる値

bit 7-2: なし: 「0」としてリードされます
bit 1-0: PCFG2:PCFG0: A/D ポート設定制御ビット

PCFG2:PCFG0	GP4	GP2	GP1	GP0	VREF
000 ⁽¹⁾	A	A	A	A	VDD
001	A	A	VREF	A	GP1
010	D	A	A	A	VDD
011	D	A	VREF	A	GP1
100	D	D	A	A	VDD
101	D	D	VREF	A	GP1
110	D	D	D	A	VDD
111	D	D	D	D	VDD

A = アナログ入力
D = デジタル I/O

注意 1: リセットによる値

注意 2: どの命令でもアナログ入力として構成されたピンをリードすると「0」とリードされます。

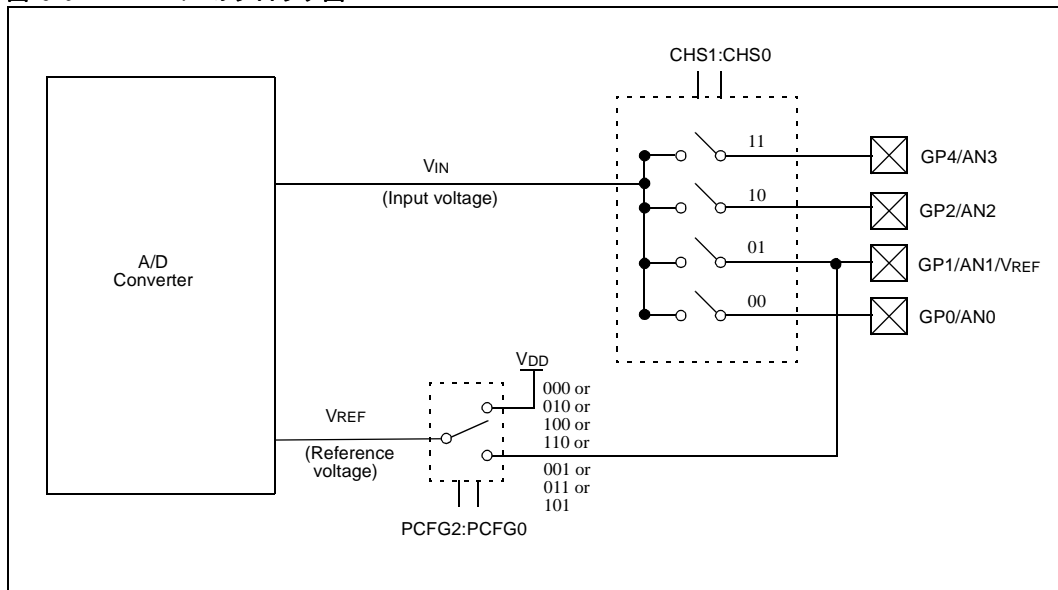
PIC12CE67X

ADRES レジスタは A/D 変換の結果が入ります。A/D 変換が完了すると、結果は ADRES レジスタにロードされ、GO/DONE ビット (ADCON0<2>) がクリアされ、A/D 割込みフラグビット ADIF (PIE1<6>) がセットされます。A/D モジュールのブロック図を図 8-3 に示します。

A/D モジュールを設定した後、変換を開始する前に選択したチャンネルの電圧レベルを取り込む必要があります。アナログ入力チャンネルに対応した TRIS ビットは入力設定にします。サンプリング時間を決めるには第 8.1 項を参照してください。この電圧レベル取り込み時間が経過すると、A/D 変換を開始できます。

1. A/D モジュールを構成する。
 - アナログピン、電圧リファレンス、デジタル I/O を設定する。(ADCON1)
 - A/D 入力チャンネルを選択する。(ADCON0)
 - A/D 変換クロックを選択する。(ADCON0)
 - A/D モジュール動作中にする。(ADCON0)
2. A/D 割り込みを構成する (必要な場合のみ)。
 - ADIF ビットをクリアする。
 - ADIE ビットをセットする。
 - GIE ビットをセットする。
3. 必要な電圧レベル取り込み時間待つ。
4. 変換を開始する。
 - GO/DONE ビットをセットする。(ADCON0)
5. 次のどちらかの方法で A/D 変換の終了を待つ。
 - GO/DONE ビットが 0 になるまでポーリング。
 - または
 - A/D 割込みを待つ。
6. A/D 変換結果レジスタ (ADRES) をリードする。必要に応じて ADIF ビットをクリアする。
7. 次の変換では、必要に応じて 1 番と 2 番の手順を実行します。ビットあたりの A/D 変換時間は T_{AD} として定義されています。次の取り込みが開始可能となるまでには $2T_{AD}$ かかります。

図 8-3: A/D のブロック図



PIC12CE67X

8.1 A/Dのサンプリング条件

A/Dコンバータが規定の正確さを満たすには、チャージ・ホールド・コンデンサ (C_{HOLD}) を入力チャネルの電圧レベルまで完全に充電できなければなりません。アナログ入力モデルを図 8-4 に示します。ソースインピーダンス (R_S) と内部サンプリング切替え (R_{SS}) インピーダンスは、 C_{HOLD} コンデンサの充電に必要な時間に直接影響します。サンプリング切替え (R_{SS}) のインピーダンス値はデバイスの電圧 (V_{DD}) により変化します。(図 8-4 参照) **アナログソースの最大推奨インピーダンスは 10k です。**アナログ入力チャネルの選択 (変更) 後、この様に電圧レベル取り込みをしてから変換を開始します。

最小サンプリング時間を計算するには、公式 8-1 が使用できます。この式は、1/2LSb エラーを使用すること (A/D に対しては 512 ステップ) を前提としています。1/2LSb ビットは A/D コンバータが規定の分解能にミートするために許容されている最大エラーです。

公式 8-1: A/D の最小チャージ時間

$$V_{\text{HOLD}} = (V_{\text{REF}} - (V_{\text{REF}}/512)) \cdot (1 - e^{-(T_c/C_{\text{HOLD}})(R_{\text{IC}} + R_{\text{SS}} + R_S)})$$

または

$$T_c = -(51.2 \text{ pF})(1 \text{ k}\Omega + R_{\text{SS}} + R_S) \ln(1/511)$$

例 8-1 に電圧レベル取り込み時間 TACQ に必要な最小時間の計算方法を示します。この計算は、以下のシステムを想定しています。

$R_S = 10 \text{ k}\Omega$

1/2 LSb エラー

$V_{\text{DD}} = 5 \text{ V} \rightarrow R_{\text{SS}} = 7 \text{ k}\Omega$

温度 (システム最大温度) = 50°C

$V_{\text{HOLD}} = 0$ @ $t = 0$

注意 1: リファレンス電圧 (V_{REF}) はそれ自体が相殺されるので、公式に影響しません。

注意 2: チャージ・ホールド・コンデンサ (C_{HOLD}) は変換完了毎には放電しません。

注意 3: アナログソース用の最大推奨インピーダンスは 10k です。これはピンのリーク仕様によるものです。

注意 4: 変換終了後、 $2.0 T_{\text{AD}}$ 後にサンプリングを再開できます。この $2.0 T_{\text{AD}}$ の間は、ホールド・コンデンサが選択した A/D 入力チャネルに接続されていません。

例 8-1: サンプリングに必要な時間の計算方法

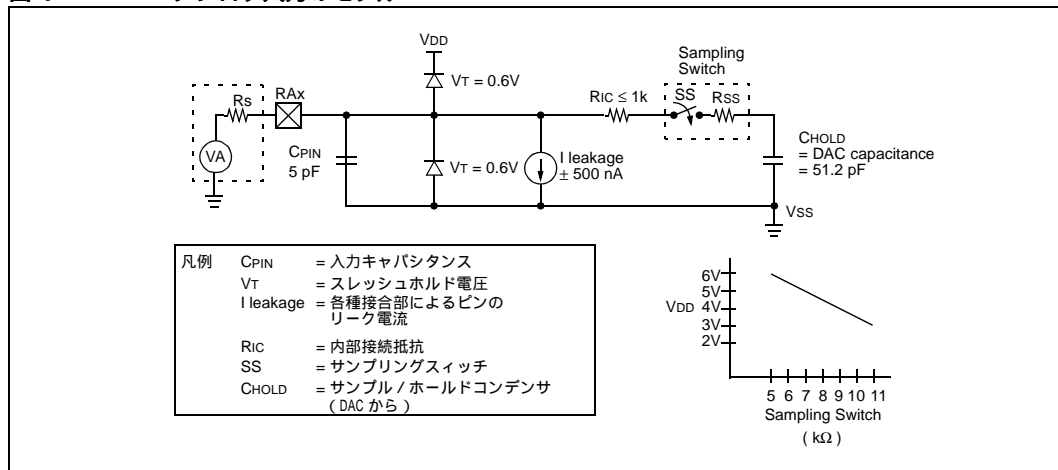
TACQ = アンプ設定時間 +
ホールドコンデンサチャージ時間 +
温度係数

$$T_{\text{ACQ}} = 5 \mu\text{s} + T_c + [(Temp - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})]$$

$$\begin{aligned} T_c &= -C_{\text{HOLD}} (R_{\text{IC}} + R_{\text{SS}} + R_S) \ln(1/512) \\ &= -51.2 \text{ pF} (1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln(0.0020) \\ &= -51.2 \text{ pF} (18 \text{ k}\Omega) \ln(0.0020) \\ &= -0.921 \mu\text{s} (-6.2146) \\ &= 5.724 \mu\text{s} \end{aligned}$$

$$\begin{aligned} T_{\text{ACQ}} &= 5 \mu\text{s} + 5.724 \mu\text{s} + [(50^\circ\text{C} - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})] \\ &= 10.724 \mu\text{s} + 1.25 \mu\text{s} \\ &= 11.974 \mu\text{s} \end{aligned}$$

図 8-4: アナログ入力のモデル



8.2 A/D 変換クロックの選択

ビットあたりの A/D 変換時間は T_{AD} と定義されます。A/D 変換は 8 ビットの変換に $9.5T_{AD}$ が必要です。A/D 変換クロックのソースはソフトウェアで選択します。選択できる T_{AD} には次の 4 種類があります。

- 2TOSC
- 8TOSC
- 32TOSC
- 内部 RC オシレータ

正しい A/D 変換を実行するには、必ず A/D 変換クロック (T_{AD}) を 1.6μ 秒以上になるよう選択します。

表 8-1 にデバイスの動作周波数と選択した A/D クロックソースから選られた T_{AD} 時間を示します。

8.3 アナログポートピンの構成

ADCON1 と TRIS レジスタは A/D ポートピンの動作を制御します。アナログとして選択されるピンにはそれに対応する TRIS ビットがセット（入力）されていなければならない。TRIS ビットがクリア（出力）されている場合は、デジタル出力レベルが変換されず。

A/D の動作は、CHS2:CHS0 ビットと TRIS ビットの状態には影響を受けません。

注意 1: ポートレジスタのリードの際には、アナログ入力として構成したピンはすべて 0 とリードします。アナログ入力ピンをデジタル入力として設定しても、入力された信号をアナログ入力として変換します。デジタル信号入力のアナログレベルが変換されます。

注意 2: デジタル入力に設定されたピン (AN3:AN0 ピンを含む) にアナログレベルが入力される場合、入力バッファがデバイスの仕様を超える電流を消費する場合があります。

表 8-1: T_{AD} vs. デバイスの動作周波数

AD クロックソース (T_{AD})		デバイスの周波数		
Operation	ADCS1:ADCS0	4 MHz	1.25 MHz	333.33 kHz
2TOSC	00	500 ns ⁽²⁾	1.6 μ s	6 μ s
8TOSC	01	2.0 μ s	6.4 μ s	24 μ s ⁽³⁾
32TOSC	10	8.0 μ s	25.6 μ s ⁽³⁾	96 μ s ⁽³⁾
Internal ADC RC Oscillator ⁽⁵⁾	11	2 - 6 μ s ^(1,4)	2 - 6 μ s ^(1,4)	2 - 6 μ s ⁽¹⁾

注意 1: RC ソースの標準 T_{AD} 時間は 4μ 秒です。

2: この値は最低必要 T_{AD} 時間に違反します。

3: 変換時間を短縮するには、別のクロックソースの選択をお勧めします。

4: RC モード時にデバイスの周波数が 1MHz を超えるときは、変換精度は仕様の範囲外になります。

5: 電圧範囲を拡張したデバイス (LC) については、電気的仕様の章を参照してください。

PIC12CE67X

8.4 A/D 変換

例 8-2 に A/D 変換の実行方法を示します。GP ピンはアナログ入力として構成されています。アナログリファレンス (V_{REF}) はデバイスの V_{DD} です。A/D 割り込みはイネーブル、A/D 変換クロックは FRC になっています。変換は GP0 チャンネルで実行されます。

注意： GO/DONE ビットは、A/D 変換をオンにする命令と同じ命令でセットしないください。

変換中に GO/DONE ビットをクリアすると、進行中の変換を中断することになります。ADRES レジスタは A/D 変換が途中終了では更新されません。つまり、ADRES レジスタは、最後に終了した変換の値（または最後に ADRES レジスタに書き込まれた値）を保持し続けるということです。A/D 変換中断後、次に電圧レベル取り込みを開始可能となるまでに $2T_{AD}$ かかります。 $2T_{AD}$ 後は、選択されたチャンネルで自動的に電圧レベル取り込みが開始します。

例 8-2: A/D 変換の実行方法

```
BSF STATUS, RP0 ; ページ 1 を選択します。
CLRF ADCON1 ; A/D 入力を構成します。
BSF PIE1, ADIE ; A/D 割り込みを許可します。
BCF STATUS, RP0 ; ページ 0 を選択します。
MOVLW 0xC1 ; RC クロックと A/D を停止にして、チャンネル 0 を選択します。
MOVWF ADCON0 ;
BCF PIR1, ADIF ; A/D 割り込みフラグビットをクリアします。
BSF INTCON, PEIE ; ペリフェラル割り込みを許可します。
BSF INTCON, GIE ; すべての割り込みを許可します。
;
; 選択した入力に必要なサンプリング時間が経過したのを確認してから
; 変換を開始するようにしてください。
;
BSF ADCON0, GO ; A/D 変換を開始します。
; ; A/D 変換終了後、ADIF ビットはセットされ、
; ; GO/DONE ビットはクリアされます。
```

8.5 スリープ中のA/D動作

A/D モジュールは、スリープモード中でも動作ができます。そのためには、A/D クロックソースが RC (ADCS1:ADCS0 = 11) にセットされている必要があります。RC クロックソースの選択時には、A/D モジュールは 1 命令サイクル待機してから変換を開始します。それによりスリープ命令を実行することができるので、デジタルスイッチングノイズの影響を受けずに変換することが出来ます。変換が完了すると、GO/DONE ビットがクリアされ、結果が ADRES レジスタにロードされます。A/D 割込みがイネーブルされている場合は、デバイスはスリープからウェイクします。A/D 割込みがイネーブルされていない場合は、ADON ビットはセットされたままですが、A/D モジュールは停止になります。

A/D クロックのソースが別のクロックオプション (RC 以外) のときは、スリープ命令により現在の変換は中断され、ADON ビットはセットされたままですが、A/D モジュールはオフになります。

A/D を停止すると、A/D モジュールは最も電流消費量の低い状態になります。

注意： A/D モジュールを SLEEP 中に動作させるには、A/D クロックソースを必ず RC (ADCS1:ADCS0 = 11) にセットします。スリープ中に A/D 変換を実行するには、必ず GO/DONE ビットをセットして、その次の命令でスリープ命令を実行します。

8.6 A/D 精度エラー

A/D 変換全体の精度は $V_{DD} = 5V \pm 10\%$ 、アナログ $V_{REF} = V_{DD}$ では $\pm 1LSb$ 未満となっています。この全体の精度には、オフセットエラー、フルスケールエラーおよび積分エラーも含まれます。A/D コンバータはモノトニックであることが保証されています。アナログリファレンス (V_{DD}) が 5.0V 未満、または、アナログリファレンス (V_{REF}) が V_{DD} 未満の場合は、分解能と精度は低くなる場合があります。

ピンの最大リーク電流は、 $\pm 5\mu A$ です。

デバイスの周波数が低いシステムでは、A/D RC クロックの使用をお勧めします。中 / 高周波数では、デバイスのオシレータを使用した T_{AD} を使用するべきです。 T_{AD} は最小値を下回ってはなりません。また、8 μ 秒以下にするべきです。これは、 T_{AD} は、 T_{OSC} を使用している場合、オンチップの位相クロックの変化から離れているからです。これによりデジタルスイッチングノイズが大幅に低減します。RC から得たクロックではそれができません。I/O ピンの多くが変化する場合は、デジタルスイッチングノイズによる精度の低下が起きる場合があります。

デバイスが A/D 変換開始後スリープモードに入るシステムでは、RC クロックソースの選択が必要です。このモードではスリープ中のモジュールからのデジタルノイズがなくなります。この方法により高精度が得られます。

8.7 リセットの影響

デバイスのリセットにより、すべてのレジスタは強制的にリセット状態になります。リセットにより強制的に A/D モジュールが停止になり、変換が中断します。ADRES レジスタの値はパワー・オン・リセットでは変化しません。ADRES レジスタの値はパワーオンリセット後は不定です。

8.8 接続の注意点

入力電圧がレール値 (V_{SS} または V_{DD}) を 0.2V 超えると、変換精度は仕様適用外となります。

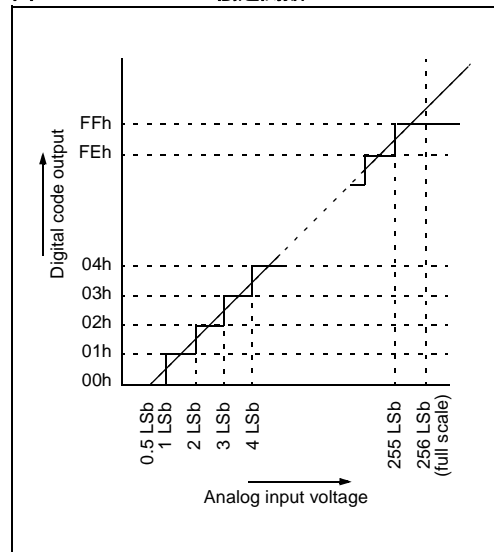
注意： PIC12CE67X については、GP4 ピンは OSC1 ピンに近接しているため、A/D 変換時にこのピンを使用する際には十分注意してください。

入力信号のアンチエイリアシングのために外部 RC フィルターを追加することがあります。この R コンポーネントは、全ソースインピーダンスが推奨仕様の 10k Ω を常に下回るように選択する必要があります。アナログ入力ピンに (ハイインピーダンス経路で) 接続する外部コンポーネント (コンデンサー、ツェナーダイオードなど) はすべてピンでのリーク電流がほとんどないようにする必要があります。

8.9 伝達関数

次に A/D コンバータの理想的な伝達関数は：最初の変換はアナログ入力電圧 (V_{AIN}) が $1LSb$ (またはアナログ $V_{REF} / 256$) のとき発生します (図 8-5)。

図 8-5: A/D 伝達関数



PIC12CE67X

図 8-6: A/D 動作のフローチャート

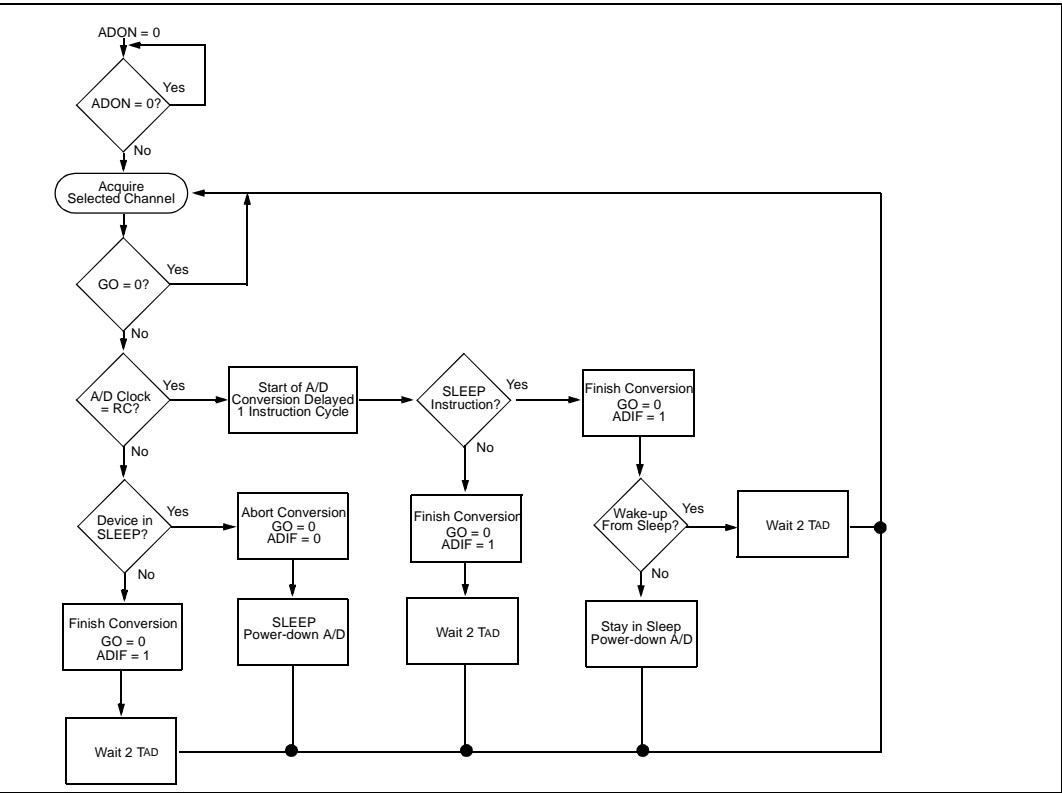


表 8-2: A/D レジスタの概要

アドレス	名前	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	パワーリセット による値	その他の リセットによる 値
0Bh/8Bh	INTCON ⁽¹⁾	GIE	PEIE	T0IE	INTE	GPIE	T0IF	INTF	GPIF	0000 000x	0000 000u
0Ch	PIR1	—	ADIF	—	—	—	—	—	—	-0-- ----	-0-- ----
8Ch	PIE1	—	ADIE	—	—	—	—	—	—	-0-- ----	-0-- ----
1Eh	ADRES	A/D Result Register								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADCS1	ADCS0	r	CHS1	CHS0	GO/DONE	r	ADON	0000 0000	0000 0000
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	--- -000	--- -000
05h	GPIO	—	—	GP5	GP4	GP3	GP2	GP1	GP0	--xx xxxx	--uu uuuu
85h	TRIS	—	—	TRIS5	TRIS4	TRIS3	TRIS2	TRIS1	TRIS0	--11 1111	--11 1111

凡例: x = 不明、u = 不変、- = 未使用、「0」とリードされる、r = 未使用、網掛け部分は A/D 変換では使用しません。

注意 1: これらのレジスタはどのバンクからもアドレスできます。

9.0 CPU の特別機能

マイクロコントローラが他のプロセッサと異なるのは、リアルタイムのアプリケーションに適した特別回路を有する点です。PIC12CE67X ファミリーには、システムの信頼性を最大限にしたり、外部部品の削除によりコストを最小限にしたり、省電力動作モードを備え、コードを保護するために考えられた次のような多数の機能があります。

- オシレータ選択
- リセット
 - パワー・オン・リセット (POR)
 - パワー・アップ・タイマ (PWRT)
 - オシレータ・スタートアップ・タイマ (OST)
- 割り込み
- ウォッチドッグタイマ (WDT)
- スリープ
- コードプロテクト
- ID
- イン・サーキット・シリアルプログラミング

PIC12CE67X にはコンフィグレーションビットによってのみ停止できるウォッチドッグタイマがあります。信頼性を上げるためにウォッチドッグタイマ専用の RC オシレータで動作します。2つのタイマは電源投入時に必要な遅延を生成します。タイマの1つはオシレータ・スタートアップ・タイマ (OST) で、水晶発振子が安定するまでチップをリセット状態しておくた

めに使用します。もう1つは、パワー・アップ・タイマ (PWRT) で、電源投入時にのみ 72ms typ の固定遅延を生成して電源が安定するまでデバイスをリセット状態しておくために使用します。チップ上のこの2つのタイマにより、アプリケーションにより異なりますが外部リセット回路が不要です。

スリープモードは消費電力が非常に少ないモードです。外部リセット、ウォッチドッグタイマのウェイクアップ、割り込みによりスリープからウェイクアップさせることができます。複数のオシレータのオプションがあるのでアプリケーションにより最適化ができます。EXTRC オシレータオプションはシステムコストを節約、LP 水晶オプションは消費電力を節約します。コンフィグレーションビットの設定により各種オプションが選択できます。

9.1 コンフィグレーションビット

コンフィグレーションビットは、デバイスの各種設定を選択するために、プログラムする ('0') とリード) こともできますが、プログラムしない ('1') とリード) こともできます。コンフィグレーションビットは、プログラムメモリの 2007h に位置しています。

アドレス 2007h はユーザのプログラムメモリスパースの範囲外です。実際、特別なテスト・コンフィグレーションメモリスパース (2000h から 3FFh) にあり、プログラム書き込み中にだけアクセスできます。

図 9-1: コンフィグレーションワード

CP1	CP0	CP1	CP0	CP1	CP0	MCLR	CP1	CP0	PWRT	WDTE	FOSC2	FOSC1	FOSC0	Register: CONFIG Address: 2007h
bit13 <div style="float: right;">bit0</div>														
bit 13-8 CP1:CP0: コードプロテクトビット ⁽¹⁾ 6-5: 11 = コードプロテクト Off 10 = 400h から 7FFh までコードプロテクト (PIC12CE673 では使用しない) 01 = 200h から 7FFh までコードプロテクト 00 = すべてのメモリをコードプロテクト														
bit 7: MCLR: マスタクリアリセットイネーブルビット 1 = GP3 はマスタクリアピン 0 = GP3 は I/O ピン														
bit 4: PWRT: パワーアップタイマイネーブルビット 1 = PWRT 停止 0 = PWRT 動作														
bit 3: WDTE: ウォッチドッグタイマイネーブルビット 1 = WDT 動作 0 = WDT 停止														
bit 2-0: FOSC2:FOSC0: オシレータ選択ビット 111 = EXTRC、OSC2 からクロック出力 110 = EXTRC、OSC2 は I/O 101 = INTRC、OSC2 からクロック出力 100 = INTRC、OSC2 は I/O 011 = 無効 010 = HS オシレータ 001 = XT オシレータ 000 = LP オシレータ														
注意 1: コードプロテクトをイネーブルにするには CP0、CP1 はすべて同じ値にします。														

PIC12CE67X

9.2 発振設定

9.2.1 発振の種類

PIC12CE67X は 7 つの異なる発振モードで動作できます。3 ビットのコンフィグレーションビット (FOSC2: FOSC0) をプログラムして以下の 7 つのモードから 1 つを選択することができます。

- LP: 低消費電力水晶
- HS: 高速水晶 / 発振子
- XT: 水晶 / 発振子
- INTRC*: 内部 4MHz 発振器
- EXTRC*: 外部抵抗 / コンデンサ

*CLKOUT に対応するために構成できます。

9.2.2 水晶発振子 / セラミック発振子

XT、HS、または LP モードでは、水晶やセラミック発振子を GP5/OSC1/CLKIN および GP4/OSC2 ピンに接続して発振させます (図 9-2)。PIC12CE67X の発振子は設計上パラレルカットの水晶を使用する必要があります。シリーズカットのクリスタルを使用した場合、水晶メーカーの規格外の周波数となる場合があります。XT、HS、LP モードの場合、デバイスは GP5/OSC1/CLKIN ピンに外部クロック信号を入力することができます (図 9-3)。

図 9-2: 水晶 (またはセラミック発振子) の動作 (XT、HS または LP モードの OSC 構成)

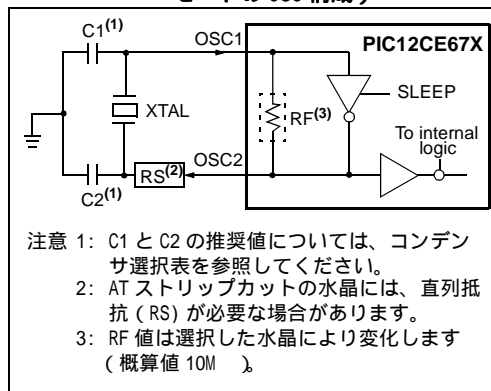


図 9-3: 外部クロック入力の動作 (XT、HS または LP の OSC 構成)

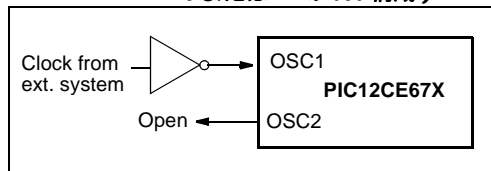


表 9-1: セラミック発振子用コンデンサ選択表 - PIC12CE67X

Osc Type	Resonator Freq	Cap. Range C1	Cap. Range C2
XT	455 kHz	22-100 pF	22-100 pF
	2.0 MHz	15-68 pF	15-68 pF
	4.0 MHz	15-68 pF	15-68 pF
HS	4.0 MHz	15-68 pF	15-68 pF
	8.0 MHz	10-68 pF	10-68 pF
	10.0 MHz	10-22 pF	10-22 pF

上記の値は設計の目安です。それぞれの発振子にはそれぞれの特性があるので、外部部品の適正値については発振子の製造元にお問い合わせください。

表 9-2: 水晶発振子用コンデンサ選択表 - PIC12CE67X

Osc Type	Resonator Freq	Cap. Range C1	Cap. Range C2
LP	32 kHz ⁽¹⁾	15 pF	15 pF
	100 kHz	15-30 pF	30-47 pF
	200 kHz	15-30 pF	15-82 pF
XT	100 kHz	15-30 pF	200-300 pF
	200 kHz	15-30 pF	100-200 pF
	455 kHz	15-30 pF	15-100 pF
	1 MHz	15-30 pF	15-30 pF
	2 MHz	15-30 pF	15-30 pF
	4 MHz	15-47 pF	15-47 pF
HS	4 MHz	15-30 pF	15-30 pF
	8 MHz	15-30 pF	15-30 pF
	10 MHz	15-30 pF	15-30 pF

注意 1: VDD = 4.5V の場合、C1 = C2 = 30 pF を推奨します。

上記の値は設計の目安です。HS モードと XT モードでは低駆動レベルの仕様を持つ水晶をオーバードライブしないように RS が必要となる場合があります。それぞれの水晶にはそれぞれ特性があるので、外部部品の適正値については水晶の製造元にお問い合わせください。

9.2.3 外部水晶発振回路

発振器モジュールや TTL ゲートを使用した簡易発振回路は、外部水晶発振回路として使用することができます。発振器モジュールは、広い動作範囲と安定性を持っています。良く設計された水晶発振子は TTL ゲートで良い性能を発揮します。直列共振と並列共振の 2 種類的水晶発振子回路が使用できます。

図 9-4 に並列共振のオシレータ回路を示します。この回路は水晶の基本周波数を使用するために設計されています。74AS04 インバータは、並列オシレータに必要な 180 度の位相シフトを行います。4.7k の抵抗は安定用のネガティブフィードバックのためのものです。10k のポテンションメータは 74AS04 を線形領域で使用するためのバイアス用です。この回路は外部オシレータの設計に使用することができます。

図 9-4: 外部並列共振水晶発振回路

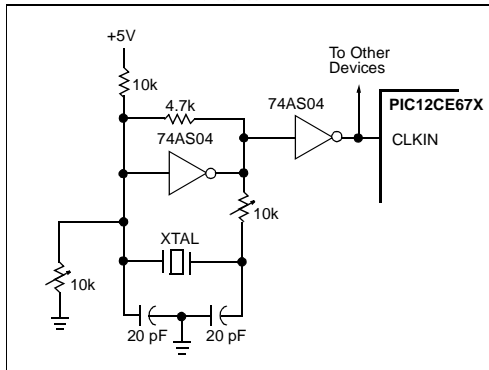
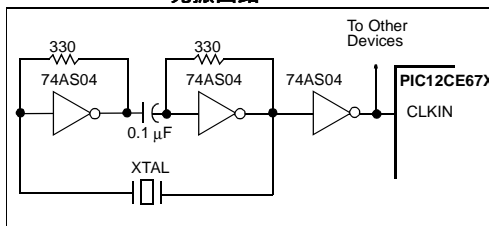


図 9-5 に直列共振発振回路を示します。この回路も水晶の基本周波数を使用するために設計されています。インバータは直列共振オシレータ回路に 180 度の位相シフトを行います。330 の抵抗はインバータを線形領域にバイアスするためにネガティブフィードバックします。

図 9-5: 外部直列共振水晶発振回路



9.2.4 外部 RC 発振

それほどタイミング精度を必要としないアプリケーションでは、RC を使用すればさらにコストを節約できます。RC 発振周波数は、供給電圧、抵抗 (R_{ext}) やコンデンサ (C_{ext}) の値、動作温度により変わります。それ以外にもオシレータの周波数は、通常の生産パラメータのばらつきにより同じ製品でもデバイスにより異なります。さらに、パッケージの種類によるリードフレーム容量の差も、特に低い C_{ext} 値での発振周波数に影響を与えます。外部に使用する R および C 部品に誤差があるため、そのばらつきを考慮する必要があります。

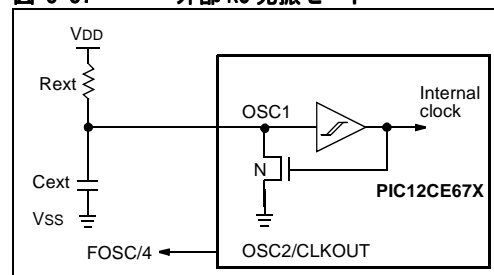
図 9-7 に R/C をどのように PIC12CE67X に接続するかを示します。2.2k より小さい R_{ext} 値では、オシレータの動作は不安定になるか、止まる場合があります。非常に大きい R_{ext} 値 (たとえば 1M) の場合、オシレータはノイズや湿度やリーク電流の影響を受け易くなります。したがって、 R_{ext} 値は 3k から 100k の間を推奨します。

外部コンデンサ ($C_{ext}=0pF$) がなくても発振しますが、ノイズ対策や安定のために 20pF より大きいコンデンサの使用をお勧めします。外部容量がないか、小さいと、PCB のトレース容量やパッケージのリードフレーム容量などの外部容量の変化により、発振周波数が大きく異なることがあります。

通常の生産工程のばらつきによる RC 周波数のばらつきについては、電気的特性の章をご覧ください。R の値が大きければ大きいほど (リーク電流のばらつきは R が大きいほど RC 周波数に影響するため)、C の値が小さければ小さいほど (入力容量のばらつきが RC 周波数に大きな影響を与えるため)、ばらつきは大きくなります。

また、 R_{ext}/C_{ext} の値と V_{DD} による発振周波数のばらつきと、R、C、 V_{DD} の値と動作温度による周波数のばらつきに関しても、電気的特性の項をご覧ください。

図 9-6: 外部 RC 発振モード



PIC12CE67X

9.2.5 内部 4 MHz RC 発振器

内部 RC 発振器は、VDD=5V、25 °C で 4MHz 固定（公称）のシステムクロックを生成します。電圧と温度によるばらつきについては、「電気的特性」の項をご覧ください。

さらに、内部 RC 発振器用のキャリブレーションデータを含む命令がプログラムメモリの最後にプログラムされています。キャリブレーションデータ XX は RETLW XX の形でプログラム書き込みされています。このキャリブレーションデータを取り出すためには、CALL YY 命令を発行します。この YY はプログラムメモリの最終ロケーション（PIC12C673 では 03FFh、PIC12C674 では 07FFh）です。コントロールは W レジスタに書き込まれたキャリブレーションデータと共にユーザのプログラムに返されます。その後、プログラムは MOVWF OSCCAL 命令を実行し、内部 RC 発振器トリムレジスタに値をロードします。

OSCCAL レジスタにキャリブレーションデータが書き込まれると、製造プロセスによるデバイスごとの発振周波数のばらつきを小さくするように内部 RC 発振器を調整します。OSCCAL レジスタのビット <7:2> が使用され、ビット <1:0> は将来のデバイスとの互換性のため 0 としてライトします。キャリブレーションデータのプログラムアドレスは、コードプロテクトされていません。

注意： デバイスのプログラムメモリを紫外線消去すると、内部発振器用にプログラムされているキャリブレーションデータも消去されるので注意してください。キャリブレーションデータは消去する前に必ずリード / 保存してください。

9.2.6 CLKOUT

PIC12CE67X は、コンフィグレーションワードアドレス（2007h）の FOSC2、FOSC1、FOSC0 が INTRC では 101 に、EXTRC では 111 にプログラムされた時、3 ビンにクロック出力信号 CLKOUT を出力します。オシレータ周波数は 4 分周され、テストや他のロジックとの同期のために使用できます。

9.3 リセット

PIC12CE67X には各種リセット間で違いがあります。

- パワーオンリセット（POR）
- 通常動作中の MCLR リセット
- スリープ中の MCLR リセット
- WDT リセット（通常動作中）

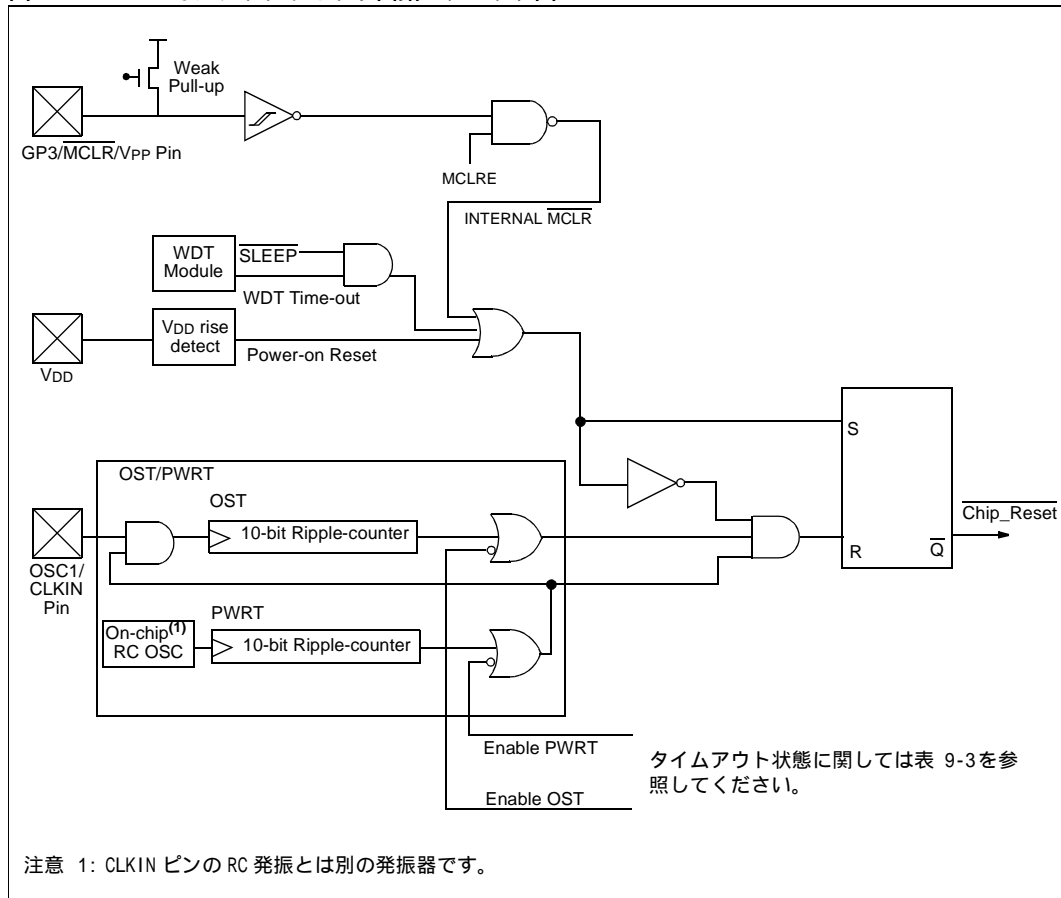
レジスタの中にはリセットされないものがあります。POR では不定、他のリセットでは不変になります。その他のほとんどのレジスタは、パワーオンリセット（POR）や、MCLR および WDT リセットやスリープ時の MCLR リセットにより「リセット状態」にリセットされます。表 9-4 に示すように、T0 および PD ビットは例外で、発生したリセットの種類によってセット、または、クリアされます。これらのビットは、どのリセットが発生したかを判断するためにソフトウェアで使用されます。レジスタのリセット状態の詳細に関しては、表 9-5 を参照してください。

オンチップリセット回路のブロック図を図 9-7 に示します。

PIC12CE67X には、MCLR リセットパスに MCLR ノイズフィルタがあります。フィルタは小さなパルスを検出しますが無視します。

WDT リセットは MCLR ピンを Low にドライブしません。

図 9-7: オンチップリセット回路のブロック図



PIC12CE67X

9.4 パワーオンリセット (POR)、パワーアップタイム (PWRT) およびオシレータスタートアップタイム (OST)

9.4.1 パワーオンリセット (POR)

VDD の立ち上がりが出検されると、パワーオンリセットのパルスがチップ内で発生します。POR 機能を最も効果的に利用する場合、MCLR ピンは直接 (または抵抗を通して) VDD に接続します。それにより通常パワーオンリセットの生成に必要な外部 RC 部品を削除できます。VDD は最大立ち上がり時間が規定されています。詳細は電気的特性をご覧ください。

デバイスが通常動作を開始する (リセット状態から抜ける) 時、デバイスの動作を確実にするため、動作パラメータ (電圧、周波数、温度など) は条件を満たさなければなりません。これらの条件を満たしていない場合は、デバイスは動作パラメータが規定内に達するまでリセットを保持する必要があります。

詳細については、アプリケーションノート AN607 の "Power-up Trouble Shooting" を参照してください。

9.4.2 パワーアップタイム (PWRT)

パワーアップタイムは、POR から 72ms typ 固定のタイムアウトを電源 On 時に生成します。パワーアップタイムは、内部 RC オシレータで動作します。PWRT が動作中の時はチップはリセット状態です。PWRT の遅延時間中に VDD は動作電源電圧範囲に立ち上がることができます。PWRT をイネーブル/ディセーブルはコンフィグレーションビットで行います。

パワーアップの遅延時間は VDD や温度や生産のばらつきによりチップごとに異なります。詳細は、DC パラメータをご覧ください。

9.4.3 オシレータスタートアップタイム (OST)

オシレータスタートアップタイム (OST) は、PWRT の遅延が終わった後、(OSC1 入力から) 1024 オシレータサイクルの遅延を生成します。この遅延により、水晶発振子、セラミック発振子は確実に起動して安定することができます。

OST のタイムアウトは、XT、LP、HS モードの時、パワーオンリセット、または、スリープからのウェイクアップ時に発生します。

9.4.4 タイムアウトのシーケンス

パワーアップ時のタイムアウトシーケンスは次のようになります。まず、POR 後、PWRT のタイムアウトが発生します。つぎに OST がアクティブになります。総タイムアウト時間はオシレータの構成と PWRT の状態により異なります。たとえば、RC モードで PWRT がディセーブルであれば、タイムアウトは全くありません。図 9-8、図 9-9 および図 9-10 にパワーアップ時のタイムアウトシーケンスを記載します。

タイムアウトは POR のパルスから発生するので、MCLR が長い間 Low であれば、タイムアウトは終了します。次に MCLR を High にすると、直ちに実行を開始します (図 9-9)。これは、テストの目的や、同時に動作している複数の PIC12CE67X を同期するのに便利です。

表 9-5 にレジスタのリセット状態を示します。

9.4.5 パワーコントロール/ステータスレジスタ (PCON)

パワーコントロール/ステータスレジスタ、PCON (アドレス 8Eh) は 1 ビットしかありません。レジスタに関しては図 4-8 を参照してください。

ビット 1 は POR (パワーオンリセット) です。これはパワーオンリセット時にクリアされ、他には影響を受けません。ユーザはパワーオンリセット後このビットをセットします。POR が「0」の場合、後続のリセットで POR が発生したことを示します。

表 9-3: 様々な状況でのタイムアウト

発振モードの設定	パワーアップ		スリープからのウェイクアップ
	PWRTE = 0	PWRTE = 1	
XT, HS, LP	72 ms + 1024Tosc	1024Tosc	1024Tosc
INTRC, EXTRC	72 ms	—	—

表 9-4: ステータスビットとその意味

POR	TO	PD	
0	1	1	パワーオンリセット
0	0	x	不正。TO を POR にセットする。
0	x	0	不正 PD を POR にセットする。
1	0	1	WDT リセット
1	0	0	WDT ウェイクアップ
1	u	u	通常動作中の MCLR リセット
1	1	0	スリープまたはスリープからの割込みウェイクアップ中の MCLR リセット

PIC12CE67X

表 9-5: 特別レジスタのリセット状態

状態	プログラム カウンタ	ステータス レジスタ	PCON レジスタ
パワーオンリセット	000h	0001 1xxx	---- --0-
通常動作時の MCLR リセット	000h	0001 1uuu	---- --u-
スリープ時の MCLR リセット	000h	0001 0uuu	---- --u-
通常動作時の WDT リセット	000h	0000 1uuu	---- --u-
スリープからの WDT ウェイクアップ	PC + 1	uuu0 0uuu	---- --u-
スリープからの割込みウェイクアップ	PC + 1 ⁽¹⁾	uuu1 0uuu	---- --u-

凡例: u = 不変、x = 不明、- = 未使用、「0」としてリードする。

注意 1: ウェイクアップが割込みによって起こり、GIE ビットがセットされているときは、PC には割込みベクタ (0004h) がロードされます。

表 9-6: レジスタの初期状態

レジスタ	パワーオンリセット	MCLR リセット WDT リセット	WDT または割込みによる ウェイクアップ
W	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	0000 0000	0000 0000	0000 0000
TMR0	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	0000 0000	0000 0000	PC + 1 ⁽²⁾
STATUS	0001 1xxx	000q quuu ⁽³⁾	uuuq quuu ⁽³⁾
FSR	xxxx xxxx	uuuu uuuu	uuuu uuuu
GPIO	11xx xxxx	11uu uuuu	11uu uuuu
PCLATH	---0 0000	---0 0000	---u uuuu
INTCON	0000 000x	0000 000u	uuuu uuuu ⁽¹⁾
PIR1	-0-- ----	-0-- ----	-u-- ---- ⁽¹⁾
ADCON0	0000 0000	0000 0000	uuuu uuuu
OPTION	1111 1111	1111 1111	uuuu uuuu
TRIS	--11 1111	--11 1111	--uu uuuu
PIE1	-0-- 0000	-0-- 0000	-u-- uuuu
PCON	---- --0-	---- --u-	---- --u-
OSCCAL	1000 00--	uuuu uu--	uuuu uu--
ADCON1	---- -000	---- -000	---- -uuu

凡例: u = 不変、x = 不明、- = 未使用、「0」としてリードする。q = 状態により変化する値

注意 1: INTCON と PIR1 の 1 以上のビットが影響を受けます。(ウェイクアップが発生します)。

2: ウェイクアップが割込みにより起こり、GIE ビットがセットされているときは、PC が割込みベクタ (004h) によりロードされます。

3: 特別な条件でのリセット値については、表 9-5 をご覧ください。

PIC12CE67X

図 9-8: 電源投入時のタイムアウトシーケンス (MCLR は VDD に接続しない): ケース 1

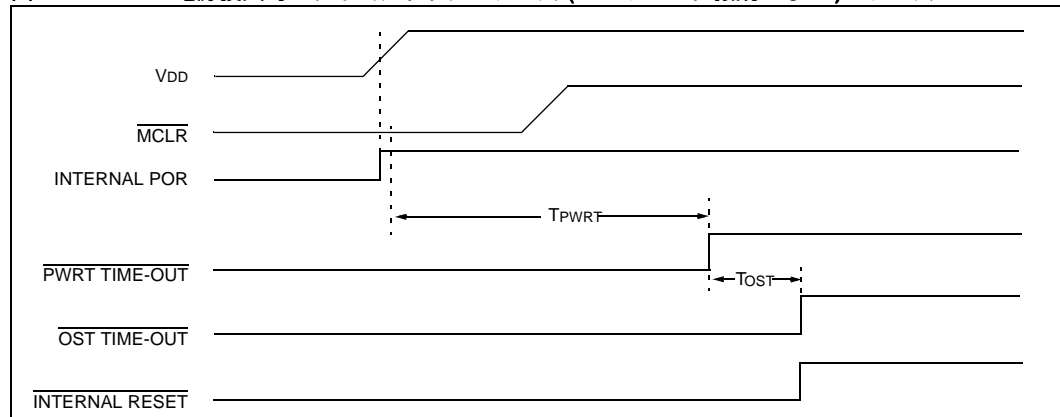


図 9-9: 電源投入時のタイムアウトシーケンス (MCLR は VDD に接続しない): ケース 2

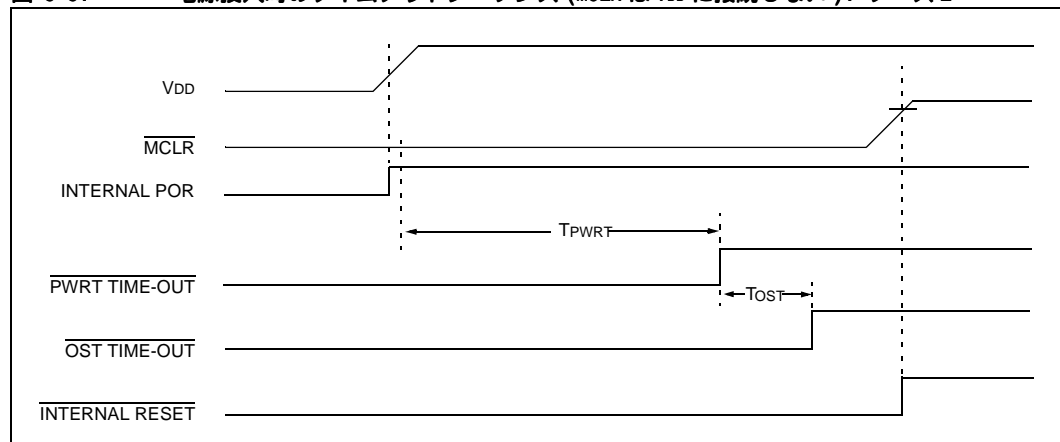
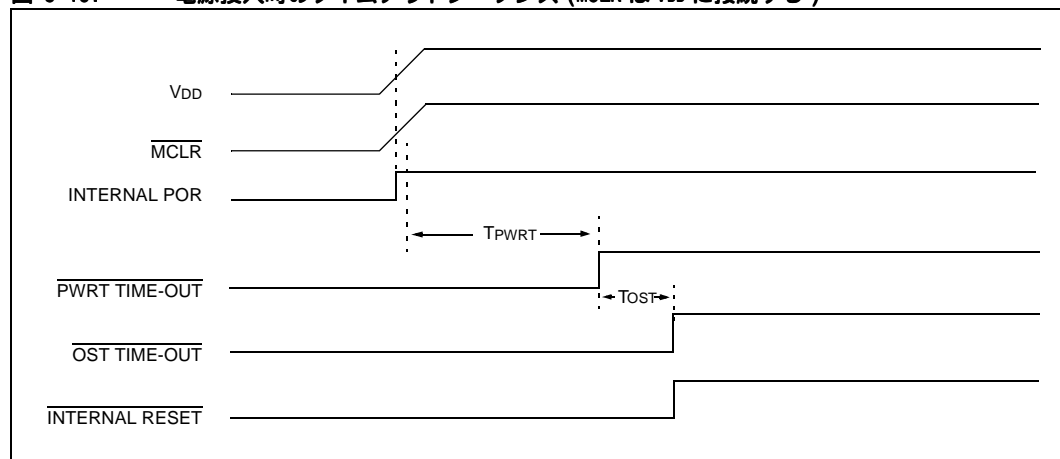


図 9-10: 電源投入時のタイムアウトシーケンス (MCLR は VDD に接続する)



PIC12CE67X

図 9-11: 外部パワーオンリセット回路
(V_{DD} の立ち上がりが遅い場合)

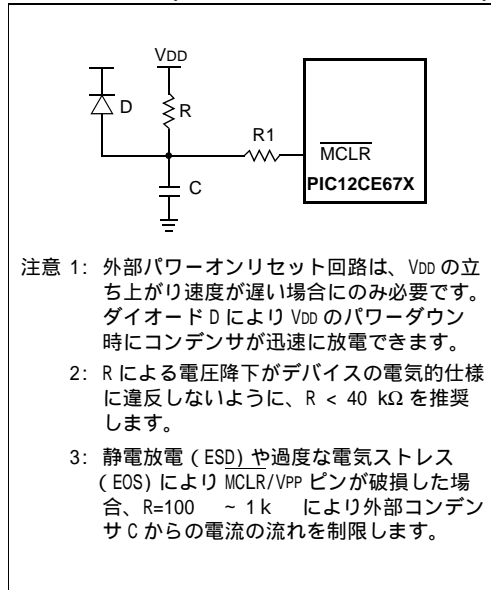


図 9-12: 外部ブラウンアウト保護回路 1

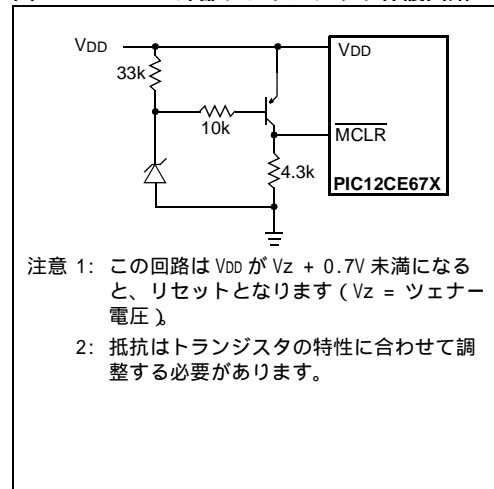
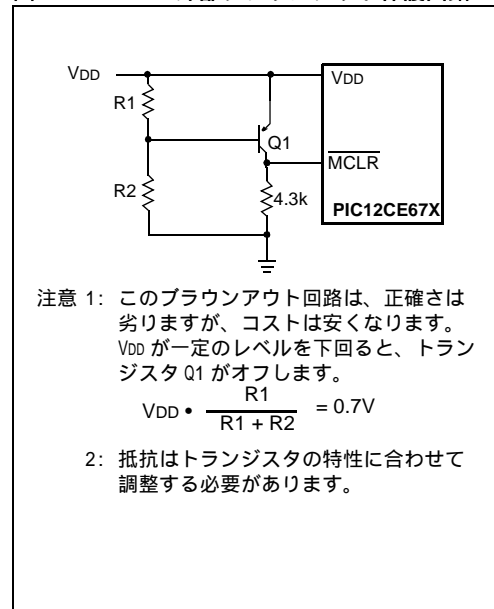


図 9-13: 外部ブラウンアウト保護回路 2



PIC12CE67X

9.5 割り込み

割り込みには次の4つのソースがあります。

割り込みソース
TMRO オーバーフロー割り込み
外部割り込み GP2/INT ピン
GPIO ピン変化による割り込み (GP0、GP1、GP3 ピン)
A/D 割り込み

割り込み制御レジスタ (INTCON) は個々の割り込み要求をフラグビットに記録します。このレジスタは、個別およびグローバルな割り込み許可ビットも有しています。

注意： 個別割り込みフラグビットは、対応するマスクビットやGIEビットのステータスとは関係なくセットされます。

グローバルな割り込み許可ビット GIE (INTCON<7>) は、(セットされた場合) マスクされていない割り込みを許可するか、(クリアされた場合) すべての割り込みを禁止します。ビット GIE が許可されて、割り込みフラグビットとマスクビットがセットされると、直ちに割り込みは発生します。個別割り込みは、それに対応する各種レジスタの許可ビットにより、禁止されます。個別割り込みビットは GIE ビットのステータスとは関係なくセットされます。GIE ビットはリセットによりクリアされます。

「割り込みからの復帰」命令 RETFIE は、割り込みルーチンから抜けると同時に、GIE ビットをセットします。GIE ビットにより再度割り込みが可能になります。

GP2/INT、GPIO ピン変化による割り込みおよび TMRO オーバーフロー割り込みフラグは INTCON レジスタ内にあります。

周辺機能割り込みフラグ ADIF は、特別機能レジスタ PIR1 内にあります。対応する割り込み許可ビットは特別機能レジスタ PIE1 内にあり、周辺機能割り込み許可ビットは特別機能レジスタ INTCON 内にあります。

割り込み発生すると、GIE ビットがクリアされて次の割り込みを禁止します。また、リターンアドレスがスタックにプッシュされ、PC が 0004h でロードされます。割り込み処理ルーチンでは、割り込みフラグビットによりどの割り込みが発生したかが判定できます。1 回の割り込みで割り込み処理を繰り返し実行しない様に、割り込みを再度許可する前には必ず割り込みフラグビットをソフトウェアでクリアしてください。

GPIO ピン変化による割り込みのような外部割り込みのイベントでは、割り込み遅延は 3 または 4 命令サイクルになります。正確な遅延時間は、割り込みイベントが発生したタイミングにより異なります (図 8-5)。命令が 1 サイクルでも 2 サイクルでも遅延時間は同じです。個別割り込みフラグビットは対応するマスクビットや GIE ビットとは関係なくセットされます。

図 9-14: 割り込み論理

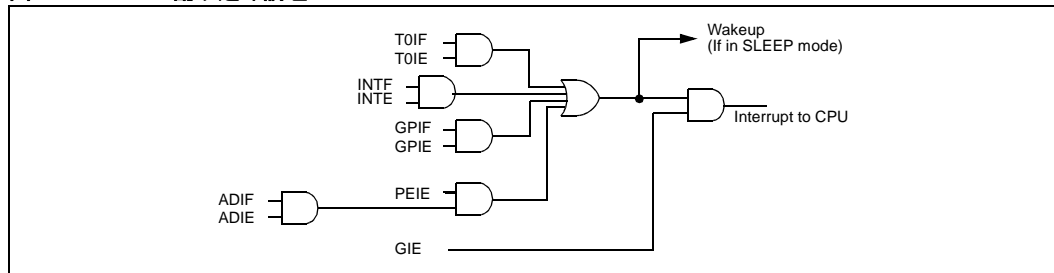
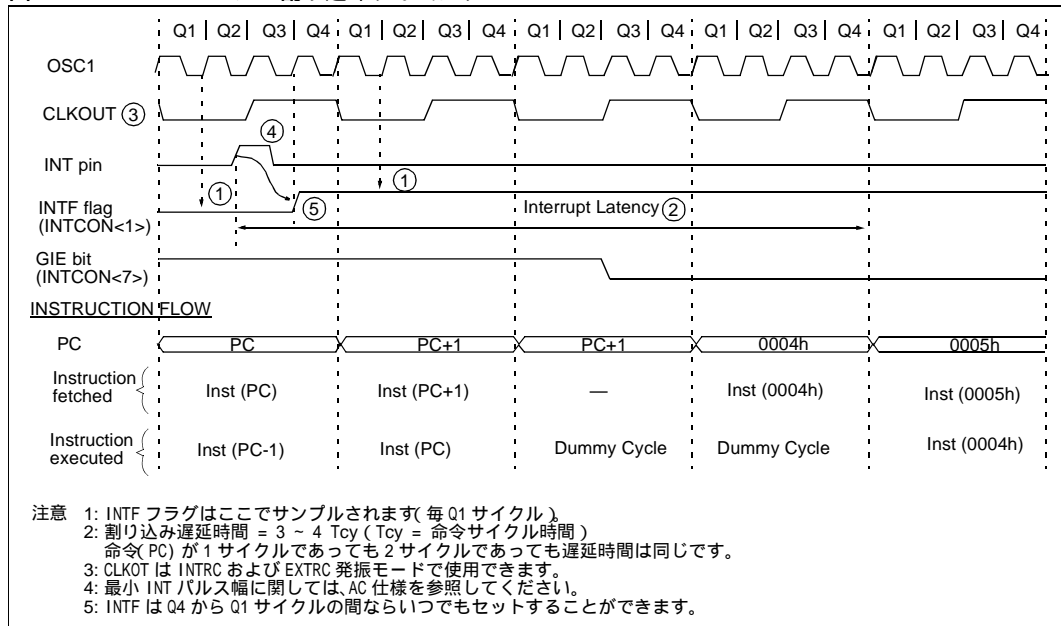


図 9-15: INT ピンの割り込みタイミング



PIC12CE67X

9.5.1 TMRO 割り込み

TMRO レジスタのオーバーフロー (FFh 00h) によりフラグビット TOIF (INTCON<2>) がセットされます。割り込みは、イネーブルビット TOIE (INTCON<5>) のセットによりイネーブルし、クリアにより禁止することができます (第 7.0 項)。

9.5.2 INT 割り込み

GP2/INT ピンへの外部割り込みはエッジでトリガーされます。ビット INTEDG (OPTION<6>) がセットされると立ち上がり、INTEDG ビットがクリアされると立ち下がります。有効なエッジが GP2/INT ピンに現れると、フラグビット INTF (INTCON<1>) がセットされます。この割り込みは、許可ビット INTE (INTCON<4>) をクリアすると禁止することができます。この割り込みを再度許可する前に、必ずこの割り込み処理ルーチンでソフトウェアによりフラグビット INTF をクリアしてください。スリープに入る前にビット INTE がセットされた場合、INT 割り込みはプロセッサをスリープからウェイクアップさせることができます。グローバル割り込み許可ビット GIE のステータスにより、プロセッサを次にウェイクアップする割り込みベクタに分岐させるかどうかが決まります。スリープモード時についての詳細は、第 9.8 項を参照してください。

9.5.3 GPIO INTCON の変更

GP3、GP1 または GP1 の入力が増加すると、フラグビット GPIF (INTCON<0>) がセットされます。割り込みは、許可ビット GPIE (INTCON<3>) のセット/クリアにより、許可/禁止ができます (第 5.1 項)。

9.6 割り込み中のコンテキストの保存方法

割り込み中は、PC の戻り値だけがスタックに保存されます。多くの場合、キーとなるレジスタ (W レジスタや STATUS レジスタ) の保存が必要です。このようなレジスタはソフトウェアで保存する必要があります。

例 9-1 は、STATUS および W レジスタの保存とリストア (元に戻す) の例です。W_TEMP レジスタは両方のバンクで使用します。バンクのベースアドレスから同じオフセットに定義しなければなりません。(つまり、W_TEMP がバンク 0 の 0x20 で定義された場合、バンク 1 の 0xA0 も使用します。)

例 :

- W レジスタを保存します。
- STATUS レジスタをバンク 0 に保存します。
- ISR コードを実行します。
- STATUS レジスタ (バンク選択ビットを含む) を元に戻します。
- W レジスタを元に戻します。

例 9-1: STATUS および W レジスタの RAM への保存例

```
MOVWF    W_TEMP          ;Copy W to TEMP register, could be bank one or zero
SWAPF    STATUS,W        ;Swap status to be saved into W
BCF       STATUS,RP0     ;Change to bank zero, regardless of current bank
MOVWF    STATUS_TEMP     ;Save status to bank zero STATUS_TEMP register
:
:(ISR)
:
SWAPF    STATUS_TEMP,W   ;Swap STATUS_TEMP register into W
                        ;(sets bank to original state)
MOVWF    STATUS          ;Move W into STATUS register
SWAPF    W_TEMP,F        ;Swap W_TEMP
SWAPF    W_TEMP,W        ;Swap W_TEMP into W
```


9.7 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、外部部品を必要としないフリーランのオンチップ RC オシレータで動作します。この RC オシレータは OSC1/CLKIN ピンの RC オシレータとは独立しています。これは、例えば、スリープ命令の実行によりデバイスの OSC1/CLKIN および OSC2/CLKOUT ピンのクロックが停止した場合でも、WDT が動作するということです。通常動作中は、WDT のタイムアウトはデバイスリセット (ウォッチドッグタイマリセット) となります。デバイスがスリープモードに入ると、WDT タイムアウトによりデバイスはウェイクアップし、通常の動作を続けます (ウォッチドッグタイマのウェイクアップ)。WDT はコンフィグレーションビット WDTE をクリアすることでディセーブル (停止) できます (第 9.1 項)。

9.7.1 WDT の周期

WDT のタイムアウト周期は、18ms typ です (プリスケアラなしの場合)。タイムアウト周期は、温度や、 V_{DD} や、デバイスごとの生産プロセスによりばらつきます (DC 仕様をご覧ください)。タイムアウト周期を長くしたい場合は、OPTION レジスタで 1:128 までの分周率のプリスケアラをソフトウェアによって WDT に割り当てることができます。これにより、約 2.3 秒までのタイムアウト周期の実現が可能です。

CLRWDT 命令と SLEEP 命令は WDT (と WDT に割り当てられている場合ポストスケアラ) をクリアし、早いタイムアウトやデバイスリセットの発生を防ぎます。

STATUS レジスタの \overline{TO} ビットは、ウォッチドッグタイマがタイムアウトになると、クリアされます。

9.7.2 WDT プログラミングの注意点

最悪の条件 ($V_{DD} = \text{Min.}$ 、温度 = Max. 、最大 WDT プリスケアラ) では、WDT のタイムアウトが発生するまでに数秒かかることも考慮する必要があります。

注意： プリスケアラが WDT に割り当てられているときは、プリスケアラ値を変更する前に必ず CLRWDT 命令を実行してください。この命令を実行しない場合、WDT リセットが発生する場合があります。

図 9-16: ウォッチドッグタイマのブロック図

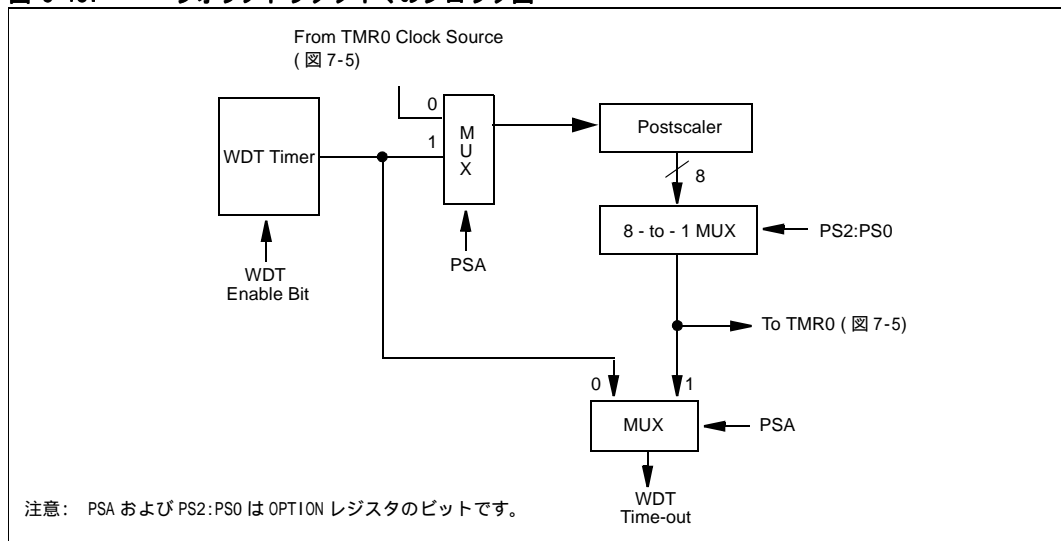


図 9-17: ウォッチドッグタイマのレジスター一覧

アドレス	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
2007h	Config. bits ⁽¹⁾	MCLRE	CP1	CP0	PWRTE	WDTE	FOSC2	FOSC1	FOSC0
81h	OPTION	GPPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0

凡例： 網掛け部分はウォッチドッグタイマには使用しません。

注意 1: このビットの動作に関しては図 9-1 をご覧ください。この表では CP0 と CP1 の全ビットは示してません。

PIC12CE67X

9.8 パワーダウンモード(スリープ)

SLEEP 命令を実行すると、パワーダウンモードに入ります。

WDT がイネーブルのときは、ウォッチドッグタイマはクリアされますが動作は継続、PD ビット (STATUS<3>) はクリア、TO ビット (STATUS<4>) はセット、オシレータドライバは発振を停止します。I/O ポートはスリープ命令の実行前の状態を維持します (High 出力、Low 出力、ハイインピーダンス)。

このモードで消費電流を最小限に抑えるためには、すべての I/O ピンを VDD または VSS、I/O ピンから電流駆動させる外部回路がないようにし、A/D の電源を落とし、外部クロックをディセーブルにします。すべての I/O ピンは、ハイインピーダンス入力になっていますが、浮動入力によるスイッチング電流の発生を防ぐため、外部で High または Low にします。TCKI 入力は、イネーブルの場合、消費電力を最小にするために VDD または VSS にします。GPIO のオンチッププルアップによる影響も考慮する必要があります。

MCLR ピンはイネーブルの場合、必ず論理 High レベル (VIHMC) にしてください。

9.8.1 スリープからのウェークアップ

以下のイベントによって、デバイスはスリープからウェークアップします。

1. MCLR ピンへの外部リセット入力
2. ウォッチドッグタイマのウェークアップ (WDT がイネーブルの場合)
3. GP2/INT 割り込み、GPIO ピン変化による割り込み、周辺機能割り込み

外部 MCLR リセットによりデバイスリセットとなります。その他のイベントはすべてプログラム実行の継続とみなされ、「ウェークアップ」となります。STATUS レジスタの TO および PD ビットを使用してデバイスリセットの原因を判定することができます。パワーアップでセットされた PD ビットは、スリープ発生時にクリアされます。TO ビットは、WDT タイムアウトが発生 (およびウェークアップが発生) した場合は、クリアされます。

次の周辺機能割り込みはデバイスをスリープからウェークアップさせることができます。

1. A/D 変換 (A/D のクロックソースが RC のとき)

スリープ中はオンチップの Q クロックが存在しないので、その他の周辺機能は割り込みを生成することができません。

スリープ命令の実行中に、次の命令 (PC + 1) がフェッチされます。デバイスが割り込みイベントによりウェークアップするには、対応する割り込みイネーブルビットを必ずセット (イネーブル) しなければなりません。GIE ビットの状態とは関係なくウェークアップします。GIE ビットがクリア (ディセーブル) されている場合、デバイスはスリープ命令後の命令を実行した後、割り込みベクタ (0004h) に分岐します。スリープの次の命令を実行したくない場合、スリープ命令の後に NOP をおく必要があります。

9.8.2 割り込みを使用したウェークアップ

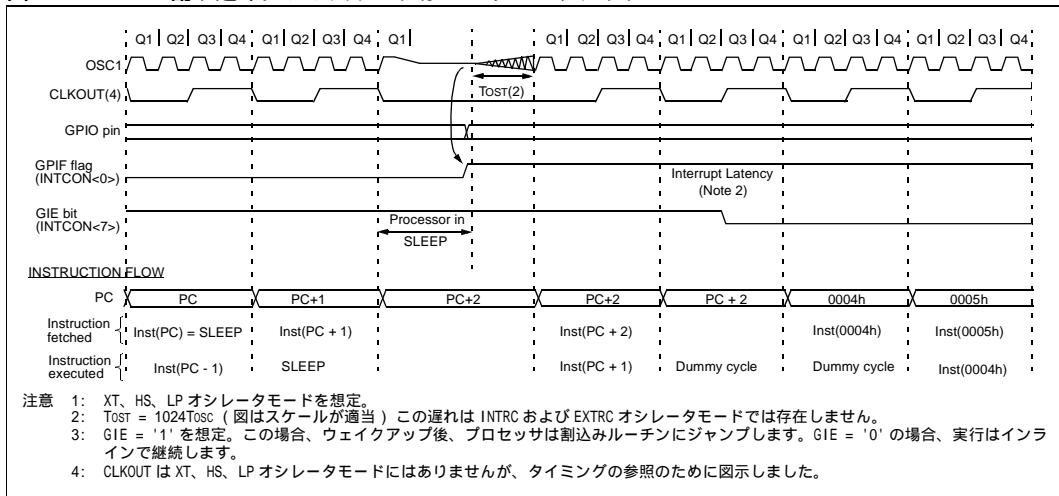
グローバル割り込みがディセーブル (GIE がクリア) で、割り込みソースの割り込みビットと割り込みイネーブルビットがセットされているときは、以下のいずれかが起こります。

- ・割り込みがスリープ命令の**実行前**に発生した場合、スリープ命令は NOP として終了します。したがって、WDT と WDT プリスケアラはクリアされず、TO ビットはセットされず、PD ビットはクリアされません。
- ・割り込みがスリープ命令の**実行中**または**実行後**に発生した場合、デバイスは直ちにスリープからウェークアップします。スリープ命令はウェークアップの前に完全に実行されます。したがって、WDT と WDT プリスケアラがクリアされ、TO ビットはセット、PD ビットはクリアされます。

スリープ命令の実行中にフラグビットを確認した場合でも、フラグビットがスリープ命令が完了する前にセットになる可能性があります。スリープ命令実行の有無を判定するには、PD ビットをテストします。PD ビットがセットされている場合は、スリープ命令は NOP として実行されたことの場合です。

WDT を確実にクリアするには、スリープ命令の前に CLRWDW 命令を実行します。

図 9-18: 割り込みによるスリープからのウェークアップ



9.9 プログラムのベリファイおよびコードプロテクション

コードプロテクションビットがプログラムされていない場合は、オンチップのプログラムメモリをベリファイのためにリードアウトできます。

注意: マイクロチップは窓付きのデバイスにはコードプロテクトを推奨しません。

9.10 ID

4つのメモリロケーション (2000h ~ 2003h) がユーザがチェックサムや他のコード ID 番号を格納する ID ロケーションとして割り当てられています。このロケーションは、通常の動作実行時にはアクセスできませんが、プログラム/ベリファイの際にはリードやライトが可能です。ID は、下位 4 ビットだけを使用することを推奨します。

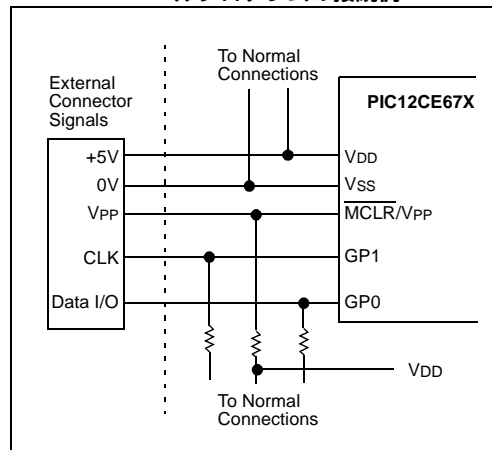
9.11 インサーキットシリアルプログラミング

PIC12CE67X マイクロコントローラは、PCB 回路路上に実装された後にシリアルプログラミングすることができます。これは、2本のラインをクロックとデータに、3本のラインをパワー、接地およびプログラミング電圧に使用することで簡単に実現できます。これにより、ユーザプログラムされていないデバイスを使用してボードを生産し、製品の出荷直前にマイクロコントローラをプログラムすることができます。また、これにより最新のファームウェアや特別仕様のファームウェアをプログラムすることができます。

MCLR (Vpp) ピンが V_{IL} から V_{IH} へ立ち上がる間、GP1 と GP0 ピンをローにしておくことでプログラムベリファイモードに入ります (プログラミング仕様参照)。GP1 (クロック) はプログラミングクロックになり、GP0 (データ) はプログラミングデータになります。GP0 と GP1 はこのモードではシュミットトリガー入力です。

リセット後、デバイスをプログラミング/ベリファイモードにするには、プログラムカウンタ (PC) を 00h に置きます。その後 6 ビットのコマンドがデバイスに送られます。このコマンドがロード命令であるがリード命令であるか次第で、14 ビットのプログラムデータがデバイスへ、または、デバイスから送出されます。シリアルプログラムの詳細については、PIC12CE67X のプログラミング仕様を参照してください。

図 9-19: 標準的なインサーキットシリアルプログラムの接続例



PIC12CE67X

メモ

10.0 命令セット概要

PIC12CE67X の命令はすべて 14 ビットワードで、命令の種類を指定するオペコードの部分と、命令の実行方法を詳細に指定する 1 つまたは 2 つ以上のオペランドの部分から成り立っています。表 10-2 では命令セットの概要を、バイト操作、ビット操作、リテラルと制御に分類しています。表 10-2 には OPCODE のフィールドを示します。

バイト対応命令では、"f" をファイルレジスタのアドレスの指定、"d" を結果格納先の指定として使用します。ファイルレジスタのアドレスでは、命令で使用するファイルレジスタを指定します。

結果格納先の指定では、命令の実行結果を格納する場所を指定します。"d" が 0 の場合、結果は W レジスタに格納されます。"d" が 1 の場合、結果は命令で指定されたファイルレジスタに格納されます。

ビット対応命令では、ビット番号の指定 "b" を使って、この命令が実行されるビット番号を選択します。また、ファイルレジスタの指定 "f" を使って、そのビットが置かれているファイルレジスタのアドレスを指定します。

リテラルと制御命令では、"k" を使って 8 ビットまたは 11 ビットの定数やリテラルを指定します。

表 10-1: オペコードフィールドの説明

フィールド	説明
f	ファイルレジスタのアドレス (0x00 to 0x7F)
W	ワーキングレジスタ (アキュムレータ)
b	8 ビットファイルレジスタのビット番号
k	リテラルフィールド、定数データまたはラベル
x	無効ロケーション (=0 または 1) アセンブラは X=0 としてコードを生成。全てのソフトウェアツールとの互換性を確保するために X=0 を推奨します。
d	結果格納先の指定; d=0 (結果は W に格納) d=1 (結果はファイルレジスタ "f" に格納) デフォルトは d=1
label	ラベル名
TOS	スタックの最上位
PC	プログラムカウンタ
PCLATH	PCLATH レジスタ
GIE	グローバル割り込み可能ビット
WDT	ウォッチドックタイマカウンタ
TO	タイムアウトビット
PD	パワーダウンビット
dest	結果格納先 (W レジスタまたはファイルレジスタ)
[]	オプション
()	内容
→	割り当て
< >	レジスタビットフィールド
∈	セットを表す
<i>italics</i>	ユーザ定義用語

命令セット概要は高度な直交性を持っています。また、3 つの基本カテゴリに分類できます。

- ・ バイト操作
- ・ ビット操作
- ・ リテラルと制御

すべての命令は基本的には 1 命令サイクルで実行されますが、命令を実行した結果、条件付きテストの結果が真になったり、プログラムカウンタが変化したりする命令は、その命令の実行に 2 サイクルかかり、2 サイクル目は NOP で実行されます。

1 命令サイクルは、4CPU クロック周期で構成されます。

したがって、オシレータ周波数が 4MHz の場合、通常の命令実行時間は 1 μsec になります。命令を実行した結果、条件付きテストが真になったり、プログラムカウンタが変化した場合は、命令実行時間は、2 μ 秒になります。

表 10-2 は MPASM アセンブラで認識された命令を表します。

図 10-1 に、命令の 3 つの一般的なフォーマットを示します。

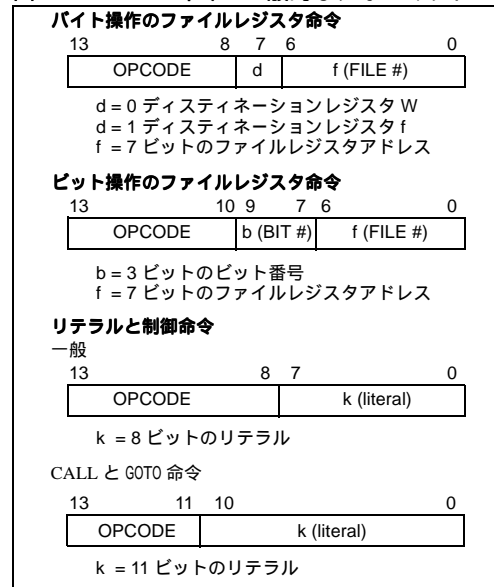
注意: 将来の製品との互換性を保つため、OPTION および TRIS 命令は使用しないでください。

この図の中のすべての例では、次のフォーマットを使用して 16 進数を表します。

0xhh

上記の "h" は 16 進数を表します。

図 10-1: 命令の一般的なフォーマット



PIC12CE67X

10.1 特別機能レジスタをソースや結果格納先にした場合

PIC12CE67X の直交的な命令セットを使用すると、特別機能レジスタを含むすべてのファイルレジスタのリードとライトを行うことができます。それに関して注意事項があります。

10.1.1 STATUS を結果格納先にした場合

命令が STATUS にライトすると、Z、C、DC ビットが命令の結果によりセット、または、クリアされて元のデータのビットが上書きされます。例えば CLRf STATUS を実行するとレジスタ STATUS がクリア後、Z ビットがセットされて、0000 0100b となります。

10.1.2 TRIS を結果格納先にした場合

GP3 は入力のためのピンなので、TRIS レジスタのビット 3 は常に "1" としてリードされます。この結果、TRIS レジスタのリード・モディファイ・ライト操作に影響する場合があります。

10.1.3 PCL ソースまたは結果格納先にした場合

PCL 上のリード、ライト、リード・モディファイ・ライトは、次のような結果になります。

リード PC: PCL dest
ライト PCL: PCLATH PCH;
 8 ビットの値 PCL

リード・モディファイ・ライト :

PCL ALU オペランド
PCLATH PCH;
8 ビット結果 PCL

PCH = プログラムカウンタの上位バイト (アドレス可能なレジスタではない), PCLATH = プログラムカウンタ上位バイトラッチ, dest = 結果格納先 WREG、または、f

10.1.4 ビット操作

すべてのビット操作命令を行うには、まず、レジスタ全体をリードし、指定されたビットを操作して結果を書き戻します (リード・モディファイ・ライト)。ポートなどの特殊機能レジスタを操作するとき、ユーザはその点に注意する必要があります。

PIC12CE67X

表 10-1: 命令セット概要

ニーモニック オペランド	説明	サイクル	14 ビットの Opcode				影響される ステータス	注意	
			MSb		LSb				
バイト操作のファイルレジスタ命令									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRW	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
ビット操作のファイルレジスタ命令									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb	bfff-	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb	bfff	ffff		3
リテラルと制御命令									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDT	-	Clear Watchdog Timer	1	00	0000	0110	0100	$\overline{TO}, \overline{PD}$	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	$\overline{TO}, \overline{PD}$	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

- 注意 1: I/O レジスタからその同じ I/O レジスタに変更 / リード (たとえば, MOVF PORTB, 1) を行くと、その I/O ピンの電圧レベルがリードされます。たとえば、その I/O ピンが入力と構成されていて、データラッチが "1"、ピンが外部デバイスからのドライブでになっている場合、データラッチは "0" になります。
- 2: この命令を TMR0 レジスタに対して実行すると (さらに、d の指定が可能な場合に d=1 が指定されていると)、プリスケアラがクリアされます (プリスケアラが Timer() モジュールに割り当てられている場合)。
- 3: プログラムカウンタ (PC) が変更、または条件テストが真のとき、命令には 2 サイクルが必要になります。2 番目のサイクルは NOP で実行されます。

PIC12CE67X

10.2 命令の詳細

ADDLW		Add Literal and W					
Syntax:	[<i>label</i>] ADDLW k						
Operands:	0 ≤ k ≤ 255						
Operation:	(W) + k → (W)						
Status	C, DC, Z						
Affected:							
Encoding:	<table border="1"><tr><td>11</td><td>111x</td><td>kkkk</td><td>kkkk</td></tr></table>			11	111x	kkkk	kkkk
11	111x	kkkk	kkkk				
Description:	W レジスタの内容を 8 ビットのリテラル "k" に加えます。結果を W レジスタに書き込みます。						
Words:	1						
Cycles:	1						
Example	<pre>ADDLW 0x15 W</pre> <p>命令実行前 W = 0x10</p> <p>命令実行後 W = 0x25</p>						

ANDLW		And Literal with W							
Syntax:	[<i>label</i>] ANDLW k								
Operands:	0 ≤ k ≤ 255								
Operation:	(W) .AND. (k) → (W)								
Status	Z								
Affected:									
Encoding:	<table border="1"><tr><td>11</td><td>1001</td><td>kkkk</td><td>kkkk</td></tr></table>				11	1001	kkkk	kkkk	
11	1001	kkkk	kkkk						
Description:	W レジスタの内容と 8 ビットリテラル " k " の AND を行います。結果を W レジスタに書き込みます。								
Words:	1								
Cycles:	1								
Example	ANDLW 0x5F W								
	命令実行前								
	W	=	0xA3						
	命令実行後								
	W	=	0x03						

ADDWF		Add W and f					
Syntax:	[<i>label</i>] ADDWF f,d						
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]						
Operation:	(W) + (f) → (dest)						
Status	C, DC, Z						
Affected:							
Encoding:	<table border="1"><tr><td>00</td><td>0111</td><td>dfff</td><td>ffff</td></tr></table>			00	0111	dfff	ffff
00	0111	dfff	ffff				
Description:	W レジスタの内容を " f " レジスタに加えます。この結果を d=0 であれば W レジスタに、d=1 であればレジスタ " f " に書き戻します。						
Words:	1						
Cycles:	1						
Example	ADDWF FSR, 0 F						
命令実行前							
	W	=	0x17				
	FSR	=	0xC2				
命令実行後							
	W	=	0xD9				
	FSR	=	0xC2				

ANDWF		AND W with f					
Syntax:	[<i>label</i>] ANDWF f,d						
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]						
Operation:	(W) .AND. (f) → (dest)						
Status	Z						
Affected:							
Encoding:	<table border="1"><tr><td>00</td><td>0101</td><td>dfff</td><td>ffff</td></tr></table>			00	0101	dfff	ffff
00	0101	dfff	ffff				
Description:	W レジスタとレジスタ “ f ” の AND を行います。 この結果を d=0 であれば W レジスタに、 d=1 であればレジスタ “ f ” に書き戻します。						
Words:	1						
Cycles:	1						
Example	ANDWF FSR, 1 F						
命令実行前							
	W	=	0x17				
	FSR	=	0xC2				
命令実行後							
	W	=	0x17				
	FSR	=	0x02				

PIC12CE67X

BCF	Bit Clear f				
Syntax:	[label] BCF f,b				
Operands:	0 ≤ f ≤ 127 0 ≤ b ≤ 7				
Operation:	0 → (f)				
Status Affected:	None				
Encoding:	<table><tr><td>01</td><td>00bb</td><td>bfff</td><td>ffff</td></tr></table>	01	00bb	bfff	ffff
01	00bb	bfff	ffff		
Description:	レジスタ“f”のビット“b”をクリアします。				
Words:	1				
Cycles:	1				
Example	BCF FLAG_REG, 7 命令実行前 FLAG_REG = 0xC7 命令実行後 FLAG_REG = 0x47				

BTFSC		Bit Test, Skip if Clear							
Syntax:	[<i>label</i>] BTFSC f,b								
Operands:	0 ≤ f ≤ 127								
	0 ≤ b ≤ 7								
Operation:	skip if (f) = 0								
Status	None								
Affected:									
Encoding:	<table><tr><td>01</td><td>10bb</td><td>bfff</td><td>ffff</td></tr></table>					01	10bb	bfff	ffff
01	10bb	bfff	ffff						
Description:	レジスタ“f”のビット“b”が0の場合、次の命令をスキップします。 ビット“b”が0の場合は、現在の命令を実行中にフェッチされた次の命令を廃棄して、代わりに2サイクルの命令にするためにNOPを実行します。								
Words:	1								
Cycles:	1(2)								
Example	HERE	BTFSC	FLAG,1						
	FALSE	GOTO	PROCESS_CODE						
	TRUE	.							
		.							
		.							
命令実行前									
PC = address HERE									
命令実行後									
if FLAG<1>= 0,									
PC = address TRUE									
if FLAG<1>=1,									
PC = address FALSE									

BSF		Bit Set f		
Syntax:	[<i>label</i>] BSF f,b			
Operands:	$0 \leq f \leq 127$ $0 \leq b \leq 7$			
Operation:	$1 \rightarrow (f)$			
Status Affected:	None			
Encoding:	01	01bb	bfff	ffff
Description:	レジスタ“f”のビット“b”をセットします。			
Words:	1			
Cycles:	1			
Example	BSF FLAG_REG, 7			
命令実行前				
FLAG_REG = 0x0A				
命令実行後				
FLAG_REG = 0x8A				

PIC12CE67X

BTFSS		Bit Test f, Skip if Set																
Syntax:	[label] BTFSS f,b																	
Operands:	0 ≤ f ≤ 127 0 ≤ b < 7																	
Operation:	skip if (f) = 1																	
Status	None																	
Affected:																		
Encoding:	<table border="1"><tr><td>01</td><td>11bb</td><td>bfff</td><td>ffff</td></tr></table>			01	11bb	bfff	ffff											
01	11bb	bfff	ffff															
Description:	レジスタ“f”のビット“b”が0の場合、次の命令をスキップします。ビット“b”が0の場合は、現在の命令を実行中にフェッチされた次の命令を廃棄して、代わりに2サイクルの命令にするためにNOPを実行します。																	
Words:	1																	
Cycles:	1(2)																	
Example	<table><tr><td>HERE</td><td>BTFSS</td><td>FLAG,1</td></tr><tr><td>FALSE</td><td>GOTO</td><td>PROCESS_CODE</td></tr><tr><td>TRUE</td><td>.</td><td></td></tr><tr><td></td><td>.</td><td></td></tr><tr><td></td><td>.</td><td></td></tr></table> 命令実行前 PC = address HERE 命令実行後 if FLAG<1> = 0, PC = address FALSE if FLAG<1> = 1, PC = address TRUE			HERE	BTFSS	FLAG,1	FALSE	GOTO	PROCESS_CODE	TRUE	.			.			.	
HERE	BTFSS	FLAG,1																
FALSE	GOTO	PROCESS_CODE																
TRUE	.																	
	.																	
	.																	

CALL	Call Subroutine				
Syntax:	[<i>label</i>] CALL k				
Operands:	0 ≤ k ≤ 2047				
Operation:	(PC)+ 1→ TOS, k → PC<10:0>, (PCLATH<4:3>) → PC<12:11>				
Status	None				
Affected:					
Encoding:	<table><tr><td>10</td><td>0kkk</td><td>kkkk</td><td>kkkk</td></tr></table>	10	0kkk	kkkk	kkkk
10	0kkk	kkkk	kkkk		
Description:	サブルーチンコール。まずリターンアドレス (PC+1) をスタックにプッシュして、11ビットの即値アドレスをPCのビット<10:0>にロードします。その後、PCの上位ビットをPCLATHからロードします。CALLは2サイクルの命令です。				
Words:	1				
Cycles:	2				
Example	HERE CALL THERE 命令実行前 PC = Address HERE 命令実行後 PC = Address THERE TOS = Address HERE+1				

CLRF	Clear f				
Syntax:	[<i>label</i>] CLRF f				
Operands:	0 ≤ f ≤ 127				
Operation:	00h → (f) 1 → Z				
Status	Z				
Affected:					
Encoding:	<table><tr><td>00</td><td>0001</td><td>1fff</td><td>ffff</td></tr></table>	00	0001	1fff	ffff
00	0001	1fff	ffff		
Description:	レジスタ “ f ” の内容をクリアして、 Z ビットをセットします。				
Words:	1				
Cycles:	1				
Example	<pre>CLRF FLAG_REG 命令実行前 FLAG_REG = 0x5A 命令実行後 FLAG_REG = 0x00 Z = 1</pre>				

CLRW	Clear W				
Syntax:	[<i>label</i>] CLRW				
Operands:	None				
Operation:	00h → (W) 1 → Z				
Status	Z				
Affected:					
Encoding:	<table><tr><td>00</td><td>0001</td><td>0xxx</td><td>xxxx</td></tr></table>	00	0001	0xxx	xxxx
00	0001	0xxx	xxxx		
Description:	W レジスタをクリアして、Zero ビット (Z) をセットします。				
Words:	1				
Cycles:	1				
Example	CLRW 命令実行前 W = 0x5A 命令実行後 W = 0x00 Z = 1				

PIC12CE67X

CLRWDT	Clear Watchdog Timer				
Syntax:	[<i>label</i>] CLRWDT				
Operands:	None				
Operation:	00h → WDT 0 → WDT prescaler, 1 → \overline{TO} 1 → \overline{PD}				
Status	\overline{TO} , \overline{PD}				
Affected:					
Encoding:	<table><tr><td>00</td><td>0000</td><td>0110</td><td>0100</td></tr></table>	00	0000	0110	0100
00	0000	0110	0100		
Description:	CLRWDT 命令は Watchdog Timer をリセットします。また、WDT のプリスケアラをリセットし、ステータスビット \overline{TO} と \overline{PD} をセットします。				
Words:	1				
Cycles:	1				
Example	CLRWDT				

命令実行前
WDT counter = ?

命令実行後
WDT counter = 0x00
WDT prescaler = 0
 \overline{TO} = 1
 \overline{PD} = 1

COMF	Complement f			
Syntax:	[label] COMF f,d			
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$			
Operation:	$(\overline{f}) \rightarrow (\text{dest})$			
Status	Z			
Affected:				
Encoding:	00	1001	dfff	ffff
Description:	レジスタ“f”の内容の補数を取ります。この結果を、d=0 であればWレジスタに、d=1 であればレジスタ“f”に書き戻します。			
Words:	1			
Cycles:	1			
Example	COMF REG1,0			

命令実行前
REG1 = 0x13

命令実行後
REG1 = 0x13
W = 0xEC

DECf	Decrement f				
Syntax:	[<i>label</i>] DECf f,d				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	$(f) - 1 \rightarrow (\text{dest})$				
Status	Z				
Affected:					
Encoding:	<table><tr><td>00</td><td>0011</td><td>dfff</td><td>ffff</td></tr></table>	00	0011	dfff	ffff
00	0011	dfff	ffff		
Description:	レジスタ“f”をデクリメントします。その結果を、d=0であればWレジスタに、d=1であればレジスタ“f”に書き戻します。				
Words:	1				
Cycles:	1				
Example	DECf CNT, 1				

命令実行前
CNT = 0x01
Z = 0

命令実行後
CNT = 0x00
Z = 1

DECFSZ	Decrement f, Skip if 0				
Syntax:	[label] DECFSZ f,d				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	$(f) - 1 \rightarrow (\text{dest});$ skip if result = 0				
Status	None				
Affected:					
Encoding:	<table><tr><td>00</td><td>1011</td><td>dfff</td><td>ffff</td></tr></table>	00	1011	dfff	ffff
00	1011	dfff	ffff		
Description:	レジスタ "f" の内容をデクリメントし ます。その結果を、d=0 であればレジス タ "f" に書き戻します。 結果が 0 の場合は、すでにフェッチされ ている次の命令を廃棄します。代わりに NOP 命令を実行して、2 サイクルの命令 にします。				
Words:	1				
Cycles:	1(2)				
Example	HERE DECFSZ CNT,1				

命令実行前
PC = address HERE

命令実行後
CNT = CNT - 1
if CNT = 0,
PC = address CONTINUE
if CNT ≠ 0,
PC = address HERE+1

PIC12CE67X

GOTO	Unconditional Branch			
Syntax:	[<i>label</i>] GOTO k			
Operands:	0 ≤ k ≤ 2047			
Operation:	k → PC<10:0> PCLATH<4:3> → PC<12:11>			
Status	None			
Affected:				
Encoding:	10	1kkk	kkkk	kkkk
Description:	GOTO は無条件の分岐命令です。11 ビットの即値アドレスをPCのビット<10:0> にロードします。PC の上位ビットを PCLATH<4:3> からロードします。GOTO は 2 サイクルの命令です。			
Words:	1			
Cycles:	2			
Example	GOTO THERE			

命令実行後
PC = Address THERE

INCFSZ	Increment f, Skip if 0				
Syntax:	[label] INCFSZ f,d				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	$(f) + 1 \rightarrow (\text{dest}), \text{skip if}$ $\text{result} = 0$				
Status	None				
Affected:					
Encoding:	<table><tr><td>00</td><td>1111</td><td>dfff</td><td>ffff</td></tr></table>	00	1111	dfff	ffff
00	1111	dfff	ffff		
Description:	レジスタ “ f ” の内容をインクリメントします。その結果を、d=0 であれば W レジスタに、d=1 であればレジスタ “ f ” に書き戻します。 結果が 0 の場合は、既にフェッチされている次の命令を廃棄、代わりに NOP 命令を実行して、2 サイクルの命令にします。				
Words:	1				
Cycles:	1(2)				
Example	HERE INCFSZ CNT, 1				

命令実行前
PC = address HERE
命令実行後
CNT = CNT + 1
if CNT= 0,
PC = address CONTINUE
if CNT≠ 0,
PC = address HERE + 1

INCF	Increment f				
Syntax:	[label] INCF f,d				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	$(f) + 1 \rightarrow (\text{dest})$				
Status	Z				
Affected:					
Encoding:	<table><tr><td>00</td><td>1010</td><td>dfff</td><td>ffff</td></tr></table>	00	1010	dfff	ffff
00	1010	dfff	ffff		
Description:	レジスタ “ f ” をインクリメントします。その結果を d=0 であれば W レジスタに d=1 であればレジスタ “ f ” に書き戻します。				
Words:	1				
Cycles:	1				
Example	INCF CNT, 1				

命令実行前
CNT = 0xFF
Z = 0
命令実行後
CNT = 0x00
Z = 1

IORLW	Inclusive OR Literal with W			
Syntax:	[<i>label</i>] IORLW k			
Operands:	0 ≤ k ≤ 255			
Operation:	(W) .OR. k → (W)			
Status Affected:	Z			
Encoding:	11	1000	kkkk	kkkk
Description:	W レジスタの内容と 8 ビットのリテラル “ k ” の OR を行います。この結果を W レジスタに書き戻します。			
Words:	1			
Cycles:	1			
Example	IORLW 0x35 W			

命令実行前
W = 0x9A
命令実行後
W=0xBF
Z = 1

PIC12CE67X

IORWF	Inclusive OR W with f							
Syntax:	[<i>label</i>] IORWF f,d							
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$							
Operation:	(W) .OR. (f) \rightarrow (dest)							
Status	Z							
Affected:								
Encoding:	<table><tr><td>00</td><td>0100</td><td>dfff</td><td>ffff</td></tr></table>				00	0100	dfff	ffff
00	0100	dfff	ffff					
Description:	W レジスタとレジスタ “ f ” の OR を行います。この結果を、d=0 であれば W レジスタに、d=1 であればレジスタ “ f ” に書き戻します。							
Words:	1							
Cycles:	1							
Example	IORWF RESULT, 0							

命令実行前
 RESULT = 0x13
 W = 0x91
 命令実行後
 RESULT = 0x13
 W = 0x93
 Z = 1

MOVF	Move f				
Syntax:	[<i>label</i>] MOVF f,d				
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$				
Operation:	(f) → (dest)				
Status	Z				
Affected:					
Encoding:	<table><tr><td>00</td><td>1000</td><td>dfff</td><td>ffff</td></tr></table>	00	1000	dfff	ffff
00	1000	dfff	ffff		
Description:	レジスタ f の内容を d の状態に従属するディスティネーションに移動します。d=0 であればディスティネーションは W レジスタです。d=1 であればディスティネーションはファイルレジスタ “ f ” です。d=1 は、ステータスフラグ Z が変化するので、ファイルレジスタのテストに便利です。				

命令実行後
 W = value in FSR register
 Z = 1

MOVLW	Move Literal to W				
Syntax:	[label] MOVLW k				
Operands:	$0 \leq k \leq 255$				
Operation:	$k \rightarrow (W)$				
Status	None				
Affected:					
Encoding:	<table><tr><td>11</td><td>00xx</td><td>kkkk</td><td>kkkk</td></tr></table>	11	00xx	kkkk	kkkk
11	00xx	kkkk	kkkk		
Description:	8 ビットのリテラル “ k ” を W レジスタにロードします。 無効なものは 0 とします。				
Words:	1				
Cycles:	1				
Example	MOVL 0x5A W				
命令実行後	W = 0x5A				

MOVWF		Move W to f					
Syntax:	[<i>label</i>] MOVWF f						
Operands:	0 ≤ f ≤ 127						
Operation:	(W) → (f)						
Status	None						
Affected:							
Encoding:	<table border="1"><tr><td>00</td><td>0000</td><td>1fff</td><td>ffff</td></tr></table>			00	0000	1fff	ffff
00	0000	1fff	ffff				
Description:	W レジスタからレジスタ “ f ” にデータを移動します。						
Words:	1						
Cycles:	1						
Example	MOV OPTION WF						
命令実行前							
	OPTION = 0xFF W = 0x4F						
命令実行後							
	OPTION = 0x4F W = 0x4F						

PIC12CE67X

NOP	No Operation				
Syntax:	[<i>label</i>] NOP				
Operands:	None				
Operation:	No operation				
Status Affected:	None				
Encoding:	<table><tr><td>00</td><td>0000</td><td>0xx0</td><td>0000</td></tr></table>	00	0000	0xx0	0000
00	0000	0xx0	0000		
Description:	何の操作も行いません。				
Words:	1				
Cycles:	1				
Example	NOP				

RETFIE	Return from Interrupt				
Syntax:	[<i>label</i>] RETFIE				
Operands:	None				
Operation:	TOS → PC, 1 → GIE				
Status Affected:	None				
Encoding:	<table><tr><td>00</td><td>0000</td><td>0000</td><td>1001</td></tr></table>	00	0000	0000	1001
00	0000	0000	1001		
Description:	割り込みから復帰します。スタックがポップされ、スタックの最上位 (TOS) が PC にロードされています。割り込みは、グローバル割り込み可能ビット GIE (INTCON<7>) をセットすることで可能になります。これは 2 サイクルの命令です。				
Words:	1				
Cycles:	2				
Example	RETFIE				

割り込み実行後
PC = TOS
GIE = 1

OPTION		Load Option Register							
Syntax:	[<i>label</i>]	OPTION							
Operands:	None								
Operation:	(W) → OPTION								
Status Affected:	None								
Encoding:	<table><tr><td>00</td><td>0000</td><td>0110</td><td>0010</td></tr></table>					00	0000	0110	0010
00	0000	0110	0010						
Description:	W レジスタの内容を OPTION レジスタにロードします。この命令は PIC16C5X 製品とのコード互換性のためにサポートされます。OPTION はリード、ライトが可能なので、ユーザは、直接アドレスすることができます。								
Words:	1								
Cycles:	1								
Example									
<div>将来の PIC12C67X との互換性を保つため、この命令は使用しないで下さい。</div>									

RETLW	Return with Literal in W																						
Syntax:	[<i>label</i>] RETLW k																						
Operands:	0 ≤ k ≤ 255																						
Operation:	k → (W); TOS → PC																						
Status Affected:	None																						
Encoding:	<table><tr><td>11</td><td>01xx</td><td>kkkk</td><td>kkkk</td></tr></table>	11	01xx	kkkk	kkkk																		
11	01xx	kkkk	kkkk																				
Description:	8 ビットのリテラル “k” を W レジスタにロードして、スタックの最上位 (リターンアドレス) をプログラムカウンタへロードします。これは 2 サイクルの命令です。																						
Words:	1																						
Cycles:	2																						
Example	<table><tr><td>CALL TABLE</td><td>;W contains table ;offset value</td></tr><tr><td>•</td><td>;W now has table value</td></tr><tr><td>•</td><td></td></tr><tr><td>•</td><td></td></tr><tr><td>TABLE ADDWF PC</td><td>;W = offset</td></tr><tr><td>RETLW k1</td><td>;Begin table</td></tr><tr><td>RETLW k2</td><td>;</td></tr><tr><td>•</td><td></td></tr><tr><td>•</td><td></td></tr><tr><td>•</td><td></td></tr><tr><td>RETLW kn</td><td>;End of table</td></tr></table> <p>命令実行前 W = 0x07</p> <p>命令実行後 W = value of k8</p>	CALL TABLE	;W contains table ;offset value	•	;W now has table value	•		•		TABLE ADDWF PC	;W = offset	RETLW k1	;Begin table	RETLW k2	;	•		•		•		RETLW kn	;End of table
CALL TABLE	;W contains table ;offset value																						
•	;W now has table value																						
•																							
•																							
TABLE ADDWF PC	;W = offset																						
RETLW k1	;Begin table																						
RETLW k2	;																						
•																							
•																							
•																							
RETLW kn	;End of table																						

PIC12CE67X

RETURN Return from Subroutine

Syntax: [*label*] RETURN

Operands: None

Operation: TOS → PC

Status Affected: None

Encoding:

00	0000	0000	1000
----	------	------	------

Description: サブルーチンから戻ります。スタックが POP され、スタックの最上位 (TOS) がプログラムカウンタにロードされます。これは 2 サイクルの命令です。

Words: 1

Cycles: 2

Example

```

    RETURN
    割り込み実行後
    PC = TOS
  
```

RRF Rotate Right f through Carry

Syntax: [*label*] RRF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

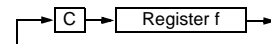
Operation: 下記の説明を参照して下さい。

Status Affected: C

Encoding:

00	1100	dfff	ffff
----	------	------	------

Description: レジスタ "f" の内容をキャリーフラグにより 1 ビット右に回転します。この結果を、d=0 であれば W レジスタに、d=1 であればレジスタ "f" に書き戻します。



Words: 1

Cycles: 1

Example

```

    RRF      REG1,0
  
```

命令実行前

```

    REG1    = 1110 0110
    C       = 0
  
```

命令実行後

```

    REG1=1110 0110
    W     = 0111 0011
    C     = 0
  
```

RLF Rotate Left f through Carry

Syntax: [*label*] RLF f,d

Operands: $0 \leq f \leq 127$
 $d \in [0,1]$

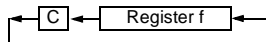
Operation: 下記の説明を参照して下さい。

Status Affected: C

Encoding:

00	1101	dfff	ffff
----	------	------	------

Description: レジスタ "f" の内容をキャリーフラグにより 1 ビット左に回転します。この結果を、d=0 であれば W レジスタに、d=1 であればレジスタ "f" に書き戻します。



Words: 1

Cycles: 1

Example

```

    RLF      REG1,0
  
```

命令実行前

```

    REG1    = 1110 0110
    C       = 0
  
```

命令実行後

```

    REG1    = 1110 0110
    W       = 1100 1100
    C       = 1
  
```

SLEEP

Syntax: [*label*] SLEEP

Operands: None

Operation: 00h → WDT,
0 → WDT prescaler,
1 → $\overline{T0}$,
0 → PD

Status Affected: $\overline{T0}$, PD

Encoding:

00	0000	0110	0011
----	------	------	------

Description: パワーダウンステータスビット、PD をクリアします。タイムアウトステータスビット $\overline{T0}$ をセットします。Watchdog Timer とプリスケアラをクリアします。オシレータを停止して、プロセッサはスリープモードに入ります。

Words: 1

Cycles: 1

Example: SLEEP

PIC12CE67X

SUBLW	Subtract W from Literal				
Syntax:	[<i>label</i> SUBLW <i>k</i>]				
Operands:	$0 \leq k \leq 255$				
Operation:	$k - (W) \rightarrow (W)$				
Status	C, DC, Z				
Affected:					
Encoding:	<table><tr><td>11</td><td>110x</td><td>kkkk</td><td>kkkk</td></tr></table>	11	110x	kkkk	kkkk
11	110x	kkkk	kkkk		
Description:	8 ビットリテラル “k” から W レジスタの内容を引きます。(2 の補数法) この結果を W レジスタに書き込みます。				
Words:	1				
Cycles:	1				
Example 1:	SUBL 0x02 W 命令実行前 W = 1 C = ? 命令実行後 W = 1 C = 1; result is positive				
Example 2:	命令実行前 W = 2 C = ? 命令実行後 W = 0 C = 1; result is zero				
Example 3:	命令実行前 W = 3 C = ? 命令実行後 W = 0xFF C = 0; result is negative				

SUBWF		Subtract W from f						
Syntax:	[<i>label</i> SUBWF <i>f,d</i>]							
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]							
Operation:	(f) - (W) → (dest)							
Status	C, DC, Z							
Affected:								
Encoding:	<table border="1"><tr><td>00</td><td>0010</td><td>dfff</td><td>ffff</td></tr></table>				00	0010	dfff	ffff
00	0010	dfff	ffff					
Description:	レジスタ “f” から W レジスタの内容を 引きます（2の補数法）。この結果を d=0 であれば W レジスタに、d=1 であれば “f” に書き戻します。							
Words:	1							
Cycles:	1							
Example 1:	SUBWF REG1,1							
	命令実行前							
	REG1	=	3					
	W	=	2					
	C	=	?					
	命令実行後							
	REG1	=	1					
	W	=	2					
	C	=	1; result is positive					
Example 2:	命令実行前							
	REG1	=	2					
	W	=	2					
	C	=	?					
	命令実行後							
	REG1	=	0					
	W	=	2					
	C	=	1; result is zero					
Example 3:	命令実行前							
	REG1	=	1					
	W	=	2					
	C	=	?					
	命令実行後							
	REG1	=	0xFF					
	W	=	2					
	C	=	0; result is negative					

PIC12CE67X

SWAPF		Swap Nibbles in f					
Syntax:	[SWAPF f,d label]						
Operands:	$0 \leq f \leq 127$ $d \in [0,1]$						
Operation:	$(f<3:0>) \rightarrow (dest<7:4>),$ $(f<7:4>) \rightarrow (dest<3:0>)$						
Status Affected:	None						
Encoding:	<table><tr><td>00</td><td>1110</td><td>dfff</td><td>ffff</td></tr></table>			00	1110	dfff	ffff
00	1110	dfff	ffff				
Description:	レジスタ“f”の上位ニブルビットと下位ニブルビットを入れ替えます。その結果を、d=0であればWレジスタに、d=1であればレジスタ“f”に書き込みます。						
Words:	1						
Cycles:	1						
Example	SWAP REG, 0 F						
命令実行前							
REG1		=	0xA5				
命令実行後							
REG1		=	0xA5				
W		=	0x5A				

TRIS		Load TRIS Register			
Syntax:	[label TRIS f]				
Operands:	$5 \leq f \leq 7$				
Operation:	(W) → TRIS register f;				
Status	None				
Affected:					
Encoding:	00	0000	0110	Offf	
Description:	この命令は、PIC16C5X 製品とのコードの互換性をサポートします。TRIS レジスタはリードおよびライトが可能です。ユーザは直接アドレスすることができます。				
Words:	1				
Cycles:	1				
Example					
将来の PIC12C67X 製品との互換性を保つため、この命令は使用しないで下さい。					

XORLW		Exclusive OR Literal with W								
Syntax:	[<i>label</i> XORLW k]									
Operands:	0 ≤ k ≤ 255									
Operation:	(W) .XOR. k → (W)									
Status Affected:	Z									
Encoding:	<table border="1"><tr><td>11</td><td>1010</td><td>kkkk</td><td>kkkk</td></tr></table>						11	1010	kkkk	kkkk
11	1010	kkkk	kkkk							
Description:	W レジスタの内容と 8 ビットリテラル “k” の XOR を取り、結果を W レジスタに書き込みます。									
Words:	1									
Cycles:	1									
Example:	XORLW 0xAF W									
命令実行前										
W = 0xB5										
命令実行後										
W = 0x1A										

XORWF		Exclusive OR W with f					
Syntax:	[XORWF f,d label]						
Operands:	0 ≤ f ≤ 127 d ∈ [0,1]						
Operation:	(W) .XOR. (f) → (dest)						
Status	Z						
Affected:							
Encoding:	<table><tr><td>00</td><td>0110</td><td>dfff</td><td>ffff</td></tr></table>			00	0110	dfff	ffff
00	0110	dfff	ffff				
Description:	W レジスタの内容とレジスタ“f”の XOR を行います。その結果を、d=0 であれば W レジスタに、d=1 であればレジスタ“f”に書き戻します。						
Words:	1						
Cycles:	1						
Example	XORW REG 1 F						
命令実行前							
	REG	=	0xAF				
	W	=	0xB5				
命令実行後							
	REG	=	0x1A				
	W	=	0xB5				

PIC12CE67X

メモ：

11.0 開発サポート

11.1 開発ツール

PICmicro™ マイクロソフトコントローラは、以下のハードウェアおよびソフトウェアの開発ツールによりサポートされています。

- PICMASTER®/PICMASTER CE リアルタイムインサーキットエミュレータ
- ICEPIC™ PIC16C5X および PIC16CXXX 用低価格インサーキットエミュレータ
- PRO MATE® II ユニバーサルプログラマ
- PICSTART® Plus 入門者向け試作用プログラマ
- PICDEM-1 低価格デモンストレーションボード
- PICDEM-2 低価格デモンストレーションボード
- PICDEM-3 低価格デモンストレーションボード
- MPASM アセンブラ
- MPLAB™ SIM ソフトウェアシミュレータ
- MPLAB-C17 (C コンパイラ)
- ファジーロジック開発システム (fuzzyTECH®-MP)

11.2 PICMASTER: MPLAB IDE と高性能ユニバーサルインサーキットエミュレータ

PICMASTER ユニバーサルインサーキットエミュレータは、PIC14C000、PIC12CXXX、PIC16C5X、PIC16CXXX および PIC17CXX ファミリーすべてのマイクロコントローラをサポートします。PICMASTER は、MPLAB でサポートされているので、編集、アセンブル/コンパイルとダウンロード、ソースデバックが同一環境上で可能となります。

ターゲットプロンプが交換可能なので、エミュレーションするプロセッサが変更となったときでもシステムを簡単に再構成することができます。PICMASTER のユニバーサルなアーキテクチャにより、すべての Microchip 社のマイクロコントローラの新製品をサポートすることができるように作られています。

PICMASTER エミュレータシステムは、一般的にはもっと高価な開発ツールに見られる最新の機能を備えたリアルタイムのエミュレーションシステムです。PC と互換性のある 386 (以上の) DOS/V マシンプラットフォームおよび Microsoft 社の Windows® 3.x で動作します。

PICMASTER には CE 準拠バージョンがあり、EU 諸国での利用が可能です。

11.3 ICEPIC 低価格 PICmicro™ インサーキットエミュレータ

ICEPIC は Microchip 社の PIC12CXXX、PIC16C5X および PIC16CXXX ファミリーの 8 ビット OTP マイクロコントローラ用の低価格インサーキットエミュレータです。

ICEPIC は、286-AT マシンから Pentium 搭載のマシンまで、Windows 3.x 環境の PC に互換性のあるマシンで操作できるように設計されています。

11.4 PRO MATE II: ユニバーサルプログラマ

PRO MATE II ユニバーサルプログラマは、PC ホストモードとスタンドアロンモードで動作できる完全な機能を備えたプログラマです。PRO MATE II は CE 準拠です。

PRO MATE II には、プログラマブル VDD と VPP の電源があり、信頼性を最大にするために、VDD min と VDD max で、プログラムされたメモリをベリファイすることができます。また、エラーメッセージを表示する LCD ディスプレイ、コマンドを入力するキー、いろいろなパッケージタイプをサポートする取り外し可能なソケットモジュールがあります。スタンドアロンモードでは、PRO MATE II は、PIC12CXXX、PIC14C000、PIC16C5X、PIC16CXXX、PIC17CXXX をリード、ベリファイ、プログラムすることができます。さらに、このモードでコンフィグレーションとコードプロテクトのビットを設定することができます。

11.5 PICSTART Plus 入門者向け開発システム

PICSTART プログラマは使いやすく低価格のプロトタイププログラマで、COM (RS-232) ポート経由で PC に接続します。MPLAB 統合開発環境ソフトウェアにより、プログラマは、簡単かつ効率的にプログラマを使用できます。PICSTART Plus は量産時のプログラミングにはお勧めできません。

PICSTART Plus は 40 ピン以下の PIC12CXXX、PIC14C000、PIC16C5X、PIC16CXXX、PIC17CXX のすべてをサポートします。PIC16C923、PIC16C924、PIC17C756 などのピン数の多いデバイスには、アダプタソケットで対応できます。PICSTART Plus は CE 準拠になっています。

PIC12CE67X

11.6 PICDEM-1 低価格 PICmicro デモンストレーションボード

PICDEM-1 は、マイクロコントローラのいくつかの機能をデモする簡単なボードです。サポートしているマイクロコントローラは、PIC16C5X(PIC16C54、PIC16C58A)、PIC16C61、PIC16C62X、PIC16C71、PIC16C8X、PIC17C42、PIC17C43 および PIC17C44 です。基本的なデモプログラムを動かすために必要なハードウェアとソフトウェアは、すべて含まれています。PRO MATE II または、PICSTART-Plus プログラマを使用して、PICDEM-1 付属のサンプルマイクロコントローラをプログラムすることができ、簡単にファームウェアをテストできます。また、PICDEM-1 ボードをPICMASTER エミュレータに接続して、ファームウェアをエミュレータにダウンロードしてテストすることができます。さらに、プロトタイプエリアがあるので、いくつかハードウェアを追加したりマイクロコントローラソケットに接続することができます。いくつかの機能には RS-232 インターフェース、アナログ入力をテストするためのポテンショメータ、プッシュボタンスイッチ、PORTB に接続された 8 個の LED などがあります。

11.7 PICDEM-2 低価格 PIC16CXX デモンストレーションボード

PICDEM-2 は、PIC16C62、PIC16C64、PIC16C65、PIC16C73、PIC16C74 マイクロコントローラに対応する簡単なデモンストレーションボードです。基本的なデモンストレーションをプログラムするために必要なハードウェアとソフトウェアは、すべて含まれています。PRO MATE II プログラマまたは PICSTART-Plus を使用して PICDEM-2 付属のサンプルマイクロコントローラをプログラムすることができ、簡単にファームウェアをテストできます。また、PICMASTER エミュレータを PICDEM-2 ボードに接続してファームウェアをテストすることができます。さらに、プロトタイプエリアがあるので、ハードウェアを追加して、マイクロコントローラソケットに接続することができます。いくつかの機能には、RS-232 インターフェース、プッシュボタンスイッチ、アナログ入力をテストするためのポテンショメータ、I²C バスをテストするためのシリアル EEPROM、LCD モジュールとキーパッドを別々に接続するためのヘッダーがあります。

11.8 PICDEM-3 低価格 PIC16CXXX デモンストレーションボード

The PICDEM-3 は、PLCC パッケージの PIC16C923 と PIC16C924 に対応する簡単なデモンストレーションボードです。また、将来の LCD モジュール付き 44 ピン PLCC パッケージのマイクロコントローラにも対応する予定です。基本的なデモンストレーションプログラムを動かすために必要なハードウェアとソフトウェアは、すべて含まれています。PRO MATE II またはアダプタソケットと PICSTART Plus を使用して、PICDEM-3 ボードと接続してファームウェアをテストすることができます。また、PICMASTER エミュレータを PICDEM-3 ボードと接続して、ファームウェアをテストすることができます。さらに、プロトタイプエリアがあるので、ハードウェアを追加して、マイクロコントローラソケットに接続することができます。いくつかの機能には、RS-232 インターフェース、プッ

シュボタンスイッチ、アナログ入力をテストするためのポテンショメータ、サーミスタ、外部 LCD モジュールとキーパッドを分けて接続するためのヘッダーがあります。また、PICDEM-3 ボード上には 4 コモン、12 セグメントの LCD パネルが備えられ、時間や温度や曜日を表示することができます。PICDEM-3 には追加の RS-232 インターフェースと Windows 3.1 のソフトウェアがあり、PC でデマルチプレクスされた LCD 信号を見れます。簡単なシリアルインターフェースにより、ユーザは LCD 信号のハードウェアでのデマルチプレクスを行うことができます。

11.9 MPLAB™ 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアは、8 ビットマイクロコントローラ市場では今まで見られなかった使い易い開発ソフトウェアです。MPLAB は、下記を含む Windows のアプリケーションです。

- ・ エディター
- ・ 3 つの動作モード
 - エディター
 - エミュレータ
 - シミュレータ
- ・ プロジェクトマネージャ
- ・ カスタマイズできるツールバーとキーマッピング
- ・ プロジェクト情報を表示するステータスバー
- ・ オンラインヘルプ

MPLAB は次のようなことができます。

- ・ ソースファイルの編集 (アセンブラまたは C)
- ・ ワンタッチのアセンブル (またはコンパイル) および PICmicro ツールへのダウンロード (全プロジェクト情報を自動的に更新する)
- ・ デバックの使用
 - ソースファイル
 - リスティングファイル
- ・ DDE によりダイナミックにデータを転送 (今後 OLE に置換予定)
- ・ 同一 PC 上で、4 ユニットまでのエミュレータが動作)

Microchip のシミュレータを MPLAB で使用できるので、一貫したプラットフォーム上で、および、少ない再トレーニングで、低価格のシミュレータからフル機能を備えたエミュレータに簡単に交換することができます。

11.10 アセンブラ (MPASM)

MPASM ユニバーサルマクロアセンブラは、PC ホストのシンボリックアセンブラです。PIC12C5XX、PIC14000、PIC16C5X、PIC16CXXX、PIC17CXX ファミリーを含む全てのマイクロコントローラシリーズをサポートしています。

MPASM はフル機能を備えたマクロ機能、条件付きアセンブリ、いくつかのソースとリストのフォーマットを提供します。サードパーティプログラマを、Microchip の開発ツール同様にサポートするために、いろいろなオブジェクトコードフォーマットを生成します。

MPASM によって、Microchip ユニバーサルエミュレータシステム (PICMASTER) から完全なシンボリックデバックが可能です。

MPASM は、特殊用途のアプリケーション用ソフトウェア開発を支援するために、次のような機能を有しています。

- ・ アセンブラのソースコードをすべての Microchip マイクロコントローラのオブジェクトコードへ変換
- ・ マクロアセンブリ可能
- ・ Microchip エミュレータシステムのシンボリックデバッグに必要なすべてのファイル (オブジェクト、リスティング、シンボル、特殊) を制作。
- ・ 16 進 (デフォルト)、10 進、8 進のソースとリストフォーマットをサポート

MPASM には PICmicro のプログラミングをサポートする高級なディレクティブ言語があります。ディレクティブにより、アセンブルソースコードの開発がより短時間になり、より保持しやすくなります。

11.11 ソフトウェアシミュレータ (MPLAB-SIM)

MPLAB-SIM ソフトウェアシミュレータにより、PC ホスト環境でのコード開発が可能になります。PIC シリーズのマイクロコントローラをインストラクションレベルでシミュレートできます。どの与えられた命題でも、データ領域の検査や変更、またそのピンのどれにも疑似外部入力ができます。実行は、シングルステップ、ブレーク、トレースモードなどで行えます。

MPLAB-SIM は、MPLAB-C と MPASM を使用してシンボリックデバッグを完全にサポートします。ソフトウェアシミュレータにより、充実したラボラトリでしかできなかったようなコードの開発とデバッグを低価格かつ柔軟に実行できる、優れたマルチプロジェクトの開発ツールが提供されます。

11.12 C コンパイラ (MPLAB-C17)

MPLAB-C コード開発システムは、完全な C コンパイラで、Microchip マイクロコントローラの PIC17CXXX ファミリーの開発環境を統合します。このコンパイラを使用すると、他のコンパイラより簡単に力強い統合機能で利用できます。

ソースレベルのデバッグを簡単にするために、このコンパイラは、MPLAB IDE メモリディスプレイと互換性のある記号情報を提供します。

11.13 ファジィ論理開発システム (fuzzyTECH-MP)

fuzzyTECH-MP ファジィ論理開発ツールは 2 つのバージョンで使用可能です。1 つはデザイナーがファジィ論理システムデザインについての幅広い知識を得るための低価格導入バージョン、MP Explorer で、もう 1 つは、より複雑なシステムを実行するために編集された完全バージョン、fuzzyTECH-MP です。

どちらのバージョンもファジィ論理システム実行と実践のための Microchip1s fuzzyLAB デモンストレーションボードです。

11.14 MP-DriveWay アプリケーションコードジェネレータ

MP-DriveWay は、Windows の利用しやすいアプリケーションコードジェネレータです。MP-DriveWay を使用して、PICmicro のすべての周辺装置を視覚的に構成できます。また、マウスをクリックすると、C 言語によってすべて初期化し、機能コードモジュールを生成します。出力は Microchip1s MPLAB-C C コンパイラと完全に互換性があります。生成されたコードは高度なモジュールで、個人のコードと簡単に統合できます。MP-DriveWay は、次のコードを生成することによって個人のコードを維持することができます。

11.15 SEEVAL 評価およびプログラミングシステム

The SEEVAL SEEPROM デザイナーキットは、すべての Microchip 2- ワイヤおよび 3- ワイヤのシリアル EEPROMs をサポートします。このキットには、Smart Serials などの Microchip SEEPROM 製品の中の特別な機能をリード、ライト、消去、プログラムするのに必要なあらゆるものがあります。Total Endurance ʌ Disk は、分析を交換し、信頼性のある計算を行います。すべてのキットを使用することで、市場への時間を削減し、最適なシステムが実現できます。

11.16 KEEL00 評価およびプログラミングツール

KEEL00 評価およびプログラミングツールは、Microchip の HCS 安全データ製品をサポートします。HCS 評価のキットには、変更コードを示すための LCD ディスプレイ、メッセージをデコードするためのデコーダ、トランスミッターをプログラムテストするためのプログラミングインターフェースがあります。

PIC12CE67X

表 11-1: マイクロチップ社の開発ツール

	PIC12C5XX	PIC14000	PIC16C5X	PIC16CXXX	PIC16C6X	PIC16C7XX	PIC16C8X	PIC16C9XX	PIC17C4X	PIC17C75X	24CXX 25CXX 93CXX	HCS200 HCS300 HCS301
Emulator Products	PICMASTER [®] / PICMASTER-CE In-Circuit Emulator	✓	✓	✓	✓	✓	✓	✓	✓	✓		
	ICEPIC [™] Low-Cost In-Circuit Emulator	✓	✓	✓	✓	✓	✓	✓				
Software Tools	MPLAB [™] Integrated Development Environment	✓	✓	✓	✓	✓	✓	✓	✓	✓		
	MPLAB [™] C17 Compiler								✓	✓		
	fuzzyTECH [®] -MP Explorer/Edition Fuzzy Logic Dev. Tool	✓	✓	✓	✓	✓	✓	✓	✓			
Programmers	MP-DriveWay [™] Applications Code Generator		✓	✓	✓	✓	✓	✓	✓			
	Total Endurance [™] Software Model										✓	
	PICSTART [®] Plus Low-Cost Universal Dev. Kit	✓	✓	✓	✓	✓	✓	✓	✓	✓		
Demo Boards	PRO MATE [®] II Universal Programmer	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
	KEELOQ [®] Programmer											✓
	SEEVAL [®] Designers Kit									✓		
	PICDEM-1		✓	✓			✓		✓			
	PICDEM-2					✓						
	PICDEM-3							✓				
	KEELOQ [®] Evaluation Kit											✓

PIC12CE67X

12.0 電気的特性 -PIC12CE67X

絶対最大定格

バイアス下での周囲温度	°C
保存温度	°C
V _{SS} に対する任意のピンの電圧 (V _{DD} と MCLR を除く)	V
V _{SS} に対する V _{DD} の電圧	V
V _{SS} に対する MCLR ピンの電圧 (注意 2)	V
消費電力の合計 (注意 1)	mW
V _{SS} ピンからの最大電流	mA
V _{DD} ピンへの最大電流	mA
入力クランプ電流, I _{IK} (V _I < 0 または V _I > V _{DD})	mA
出力クランプ電流, I _{OK} (V _O < 0 または V _O > V _{DD})	mA
I/O ピンごとの最大出力シンク電流	mA
I/O ピンごとの最大出力ソース電流	mA
GPIO ピンを結合した最大シンク電流	mA
GPIO ピンを結合した最大ソース電流	mA

注意 1: 消費電力は次の式で計算できます。P_{dis} = V_{DD} × {I_{DD} + I_{OH}} + {(V_{DD} - V_{OH}) × I_{OH}} + (V_{OL} × I_{OL})。

† 注意: 上記の「最大定格」を超えるストレスは、デバイスに損傷を与える恐れがあります。これは、ストレスの定格を示すためのもので、上記の値、または、この仕様書に記載された値を超える条件で動作することを示すものではありません。継続した期間、最大定格で使用了場合、デバイスの信頼性を損なう恐れがあります。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

表 12-1: オシレータのコンフィグレーションと動作周波数に関するデバイス規格のクロスリファレンス集 (商業用デバイス)

OSC	PIC12CE673-04 PIC12CE674-04	PIC12CE673-10 PIC12CE674-10	PIC12LCE673-04 PIC12LCE674-04	PIC12CE673-1W PIC12CE674-1W
INTRC	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 2.7 mA typ. at 5.5V IPD: 1.5 µA typ. at 4V Freq: 4 MHz max.	VDD: 2.5V to 5.5V IDD: 2.0 mA typ. at 2.5V IPD: 0.9 µA typ. at 2.5V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.
EXTRC	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 2.7 mA typ. at 5.5V IPD: 1.5 µA typ. at 4V Freq: 4 MHz max.	VDD: 2.5V to 5.5V IDD: 2.0 mA typ. at 2.5V IPD: 0.9 µA typ. at 2.5V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.
XT	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 2.7 mA typ. at 5.5V IPD: 1.5 µA typ. at 4V Freq: 4 MHz max.	VDD: 2.5V to 5.5V IDD: 2.0 mA typ. at 2.5V IPD: 0.9 µA typ. at 2.5V Freq: 4 MHz max.	VDD: 3.0V to 5.5V IDD: 5 mA max. at 5.5V IPD: 21 µA max. at 4V Freq: 4 MHz max.
HS	VDD: 4.5V to 5.5V IDD: 13.5 mA typ. at 5.5V IPD: 1.5 µA typ. at 4.5V Freq: 4 MHz max.	VDD: 4.5V to 5.5V IDD: 30 mA max. at 5.5V IPD: 1.5 µA typ. at 4.5V Freq: 10 MHz max.	Do not use in HS mode	VDD: 3.0V to 5.5V IDD: 30 mA max. at 5.5V IPD: 1.5 µA typ. at 4.5V Freq: 10 MHz max.
LP	VDD: 3.0V to 5.5V IDD: 52.5 µA typ. at 32 kHz, 4.0V IPD: 0.9 µA typ. at 4.0V Freq: 200 kHz max.	Do not use in LP mode	VDD: 2.5V to 5.5V IDD: 48 µA max. at 32 kHz, 2.5V IPD: 5.0 µA max. at 2.5V Freq: 200 kHz max.	VDD: 3.0V to 5.5V IDD: 48 µA max. at 32 kHz, 2.5V IPD: 5.0 µA max. at 2.5V Freq: 200 kHz max.

網掛け部分は、オシレータの選択部分です。この部分は、機能性についてテストしていますが、最小および最大の規格についてはテストしていません。ユーザは、必要な規格を保証するデバイスを選択する必要があります。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

- 12.1 DC 特性: PIC12CE673-04 (商業用, 工業用, 拡張⁽⁵⁾)
 PIC12CE673-10 (商業用, 工業用, 拡張⁽⁵⁾)
 PIC12CE674-04 (商業用, 工業用, 拡張⁽⁵⁾)
 PIC12CE674-10 (商業用, 工業用, 拡張⁽⁵⁾)

DC 特性		標準動作条件 (特に指定のない場合) 動作温度					
		0°C ≤ TA ≤ +70°C (商業用) -40°C ≤ TA ≤ +85°C (工業用) -40°C ≤ TA ≤ +125°C (拡張)					
パラ メータ 番号	特性	記号	Min	Typ †	Ma x	単位	条件
D001 D001A	電源電圧	VDD				V V	XT, INTRC, EXTRC および LP osc のコン フィギュレーション HS osc のコンフィギュレーション
D002	RAM データ保持 電圧 (注意 1)	VDR				V	SLEEP モードの場合
D003	確実なパワーオンリセットのための VDD スタート電流	VPOR				V	詳細は、パワーオンリセットの項をご覧 ください。
D004	確実なパワーオンリセットのための VDD の立ち上がり率	SVDD				V/ms	詳細は、パワーオンリセットの項をご覧 ください。
D010 D010A D013	消費電流 (注意 2) 周辺装置へのリードおよびラ イト不可能	IDD				mA mA mA	XT および EXTRC osc コンフィギュレーシ ョン (PIC12CE67X-04) FOSC = 4 MHz, VDD = 5.5V (注 4) INTRC osc コンフィギュレーション FOSC = 4 MHz, VDD = 5.5V HS osc コンフィギュレーション (PIC12CE67X-10) FOSC = 10 MHz, VDD = 5.5V
D028	モジュール差異電流					mA	VDD = 5.5V SCL = 400 kHz
D020 D021 D021A D021B	パワーダウン電流 (注意 3)	IPD				μA μA μA μA	VDD = 4.0V, WDT オン, -40°C から +85°C VDD = 4.0V, WDT オフ, 0°C から +70°C VDD = 4.0V, WDT オフ, -40°C から +85°C VDD = 4.0V, WDT オフ, -40°C から +125°C

* これらのパラメータは特性データです。テストはしていません。
 "Typ" の列のデータは、特に記述のない場合、5V、25 °C での特性結果に基づいています。これらのパラ
 メータは、設計ガイダンスのためのもので、テストはしていません。

- 注意 1: これは SLEEP モードで VDD を下げたときに RAM データを失わない最小の値です。
 2: この消費電力は、主に動作電圧と周波数によって変化します。その他に I/O ピンの負荷および変化率、オシ
 レータの種類、内部コードの実行パターン、温度などの要素も消費電流に影響を与えます。
 動作中の IDD のテスト条件は次のようになります。OSC1 = 外部方形波 (レール・トゥ・レール) I/O ピンは
 入力の設定で VDD にプルダウン、MCLR = VDD WDT オン/オフは明記してある通り。
 3: SLEEP モードでのパワーダウン電流はオシレータの種類による影響を受けません。パワーダウン電流は、
 SLEEP モードを、I/O ピンを入力にして、VDD または VSS に接続して計測します。
 4: EXTRC osc コンフィギュレーションには、Rext の電流は含みません。Rext の電流は、 $I_r = VDD/2R_{ext}$ (mA) と
 いう式から概算することができます (Rext の単位は k)。
 5: 拡張動作範囲は、このデバイスの Advance Information です。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

12.2 DC 特性: PIC12LCE673-04 (商業用, 工業用)
PIC12LCE674-04 (商業用, 工業用)

標準動作条件 (特に指定のない場合) 動作温度 0°C ≤ TA ≤ +70°C (商業用) -40°C ≤ TA ≤ +85°C (工業用)							
パラメータ番号	特性	記号	Min	Typ†	Max	単位	条件
D001	電源電圧	VDD				V	XT, INTRC, EXTRC および LP osc コンフィグレーション (DC - 4 MHz)
D002*	RAM データ保持電圧 (注意 1)	VDR				V	SLEEP モードの場合
D003	確実なパワーオンリセットのための VDD のスタート電圧	VPOR				V	詳細は、パワーオンリセットの項をご覧ください。
D004*	確実なパワーオンリセットのための VDD の立ち上がり率	SVDD				V/ms	詳細は、パワーオンリセットの項をご覧ください。
D010 D010B D010A	消費電流 (注意 2)	IDD				mA mA μA	XT, EXTRC osc コンフィグレーション FOSC = 4 MHz, VDD = 3.0V (注意 4) INTRC osc コンフィグレーション FOSC = 4 MHz, VDD = 3.0V LP osc コンフィグレーション FOSC = 32 kHz, VDD = 3.0V, WDT オフ
D020 D021 D021A	パワーダウン電流 (注意 3)	IPD				μA μA μA	VDD = 3.0V, WDT オン, -40°C から +85°C VDD = 3.0V, WDT オフ, 0°C から +70°C VDD = 3.0V, WDT オフ, -40°C から +85°C

* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に記述のない場合、5V/25°C での特性結果に基づいています。これらのパラメータは、設計ガイダンスのためのもので、テストはしていません。

- 注意 1: これは SLEEP モードで VDD を下げたときに RAM データを失わない最小の値です。
 2: この消費電流は、主に動作電圧と周波数によって変化します。その他に I/O ピンの負荷および変化率、オシレータの種類、内部コードの実行パターン、温度などの要素も消費電流に影響を与えます。動作中の IDD のテスト条件は次のようになります。OSC1 = 外部方形波 (レール・トゥ・レール) I/O ピンは入力の設定で VDD にプルダウン、MCLR = VDD WDT オン/オフは明記してある通り。
 3: SLEEP モードでのパワーダウン電流はオシレータの種類による影響を受けません。パワーダウン電流は、SLEEP モードのデバイスで、I/O ピンを入力にして、VDD または VSS に接続して計測します。
 4: EXTRC osc コンフィグレーションには、Rext の電流は含みません。Rext の電流は、 $I_r = VDD/2R_{ext}$ (mA) という式から概算することができます (Rext の単位は k)。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

12.3 DC 特性:

PIC12CE673-04 (商業用、工業用、拡張⁽⁴⁾)
 PIC12CE673-10 (商業用、工業用、拡張⁽⁴⁾)
 PIC12CE674-04 (商業用、工業用、拡張⁽⁴⁾)
 PIC12CE674-10 (商業用、工業用、拡張⁽⁴⁾)
 PIC12LCE673-04 (商業用、工業用⁽⁴⁾)
 PIC12LCE674-04 (商業用、工業用⁽⁴⁾)

標準動作条件 (特に指定のない場合)							
DC 特性		動作温度					
		0°C ≤ TA ≤ +70°C (商業用)					
		-40°C ≤ TA ≤ +85°C (工業用)					
		動作電圧 VDD の範囲は、第 12.1 項および第 12 章に記載しています。					
パラメータ番号	特性	Sym	Min	Typ†	Max	単位	条件
D030	ローレベル入力電圧 I/O ポート TTL バッファ	V _{IL}				V	VDD 範囲全体 ⁽⁵⁾
D031	シュミットトリガバッファ					V	4.50 ≤ VDD ≤ 5.5V ⁽⁵⁾
D032	MCLR, GP2/T0CKI/AN2/INT (RC モード)					V	VDD 範囲全体 ⁽⁵⁾
D033	OSC1 (XT, HS および LP)					V	注意 1
D040	ハイレベル入力電圧 I/O ポート TTL バッファ	V _{IH}				V	VDD 範囲全体
D040A	シュミットトリガバッファ					V	4.5 ≤ VDD ≤ 5.5V
D042	MCLR, GP2/T0CKI/AN2/INT					V	For VDD > 5.5V または VDD < 4.5V
D042A	OSC1 (XT, HS および LP)					V	VDD 範囲全体
D043	OSC1 (EXTRC モード)					V	注意 1
D070	GPIO 弱プルダウン電流	I _{PUR}				μA	VDD = 5V, V _{PIN} = VSS
D060	入力リーク電流 (注意 2, 3) I/O ポート	I _{IL}				μA	VSS ≤ V _{PIN} ≤ VDD, 入力設定のピン
D061	MCLR, RA4/T0CKI					μA	VSS ≤ V _{PIN} ≤ VDD
D061A	OSC1					μA	VSS ≤ V _{PIN} ≤ VDD, XT, HS および LP osc コンフィグレーション

- † "Typ" の列のデータは、特に記述のない場合、5V、25°C での特性結果に基づいています。これらのパラメータは、設計ガイダンスのためのもので、テストはしていません。
- 注意 1: EXTRC オシレータコンフィグレーションでは、OSC1/CLKIN ピンは、シュミットトリガー入力に基づいていません。PIC12CE67X が RC モードの時、外部クロックでドライブすることはお勧めしません。
- 2: MCLR ピンのリーク電流は、供給電圧レベルにより大きく変化します。指定したレベルは、通常の動作状態に相当します。リーク電流が高い場合は、異なる入力電圧で計測された可能性があります。
- 3: 負の電流は、ピンからの出力と定義されています。
- 4: 拡張動作範囲は、このデバイスの Advance Information です。
- 5: 2 つの仕様のうち良いほうを使用することができます。このとき V_{IL} が高電圧で、V_{IH} が低電圧です。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

標準動作条件 (特に指定のない場合)							
DC 特性		動作温度					
		0°C ≤ TA ≤ +70°C (商業用)					
		-40°C ≤ TA ≤ +85°C (工業用)					
		-40°C ≤ TA ≤ +125°C (拡張)					
動作電圧 VDD の範囲は、第 12.1 項および第 12 章に記載しています。							
パラメータ番号	特性	Sym	Min	Typ†	Max	単位	条件
D080	ローレベル出力電圧 I/O ポート	VOL				V	IOL = 8.5 mA, VDD = 4.5V, -40°C から +85°C
D080A						V	IOL = 7.0 mA, VDD = 4.5V, -40°C から +125°C
D083	OSC2/CLKOUT					V	IOL = 1.6 mA, VDD = 4.5V, -40°C から +85°C
D083A						V	IOL = 1.2 mA, VDD = 4.5V, -40°C から +125°C
D090	ハイレベル出力電圧 I/O ポート (注意 3)	VOH				V	IOH = -3.0 mA, VDD = 4.5V, -40°C から +85°C
D090A						V	IOH = -2.5 mA, VDD = 4.5V, -40°C から +125°C
D092	OSC2/CLKOUT					V	IOH = -1.3 mA, VDD = 4.5V, -40°C から +85°C
D092A						V	IOH = -1.0 mA, VDD = 4.5V, -40°C から +125°C
D100	出力ピンの負荷規格の容量 OSC2 ピン	COSC2				pF	XT, HS および LP モードで外部クロックが OSC1 をドライブするために使用されているとき
D101	全 I/O ピン および OSC2	CIO				pF	

- † "Typ" の列のデータは、特に記述のない場合、5V、25 °C での特性結果に基づいています。これらのパラメータは、設計ガイダンスのためのもので、テストはしていません。
- 注意 1: EXTRC オシレータコンフィギュレーションでは、OSC1/CLKIN ピンは、シュミットトリガー入力に基づいています。PIC12CE67X が RC モードの時、外部クロックでドライブすることはお勧めしません。
- 2: MCLR ピンのリーク電流は、供給電圧レベルにより大きく変化します。指定したレベルは、通常の動作状態に相当します。リーク電流が高い場合は、異なる入力電圧で計測された可能性があります。
- 3: 負の電流は、ピンからの出力と定義されています。
- 4: 拡張動作範囲は、このデバイスの Advance Information です。
- 5: 2 つの仕様のうち良いほうを使用することができます。このとき VIL が高電圧で、VIH が低電圧です。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

12.4 タイミングパラメータの記号

タイミングパラメータの記号は、次のフォーマットで次のように作られます。

1. TppS2ppS
2. TppS
3. TCC:ST (I²C 仕様のみ)
4. Ts (I²C 仕様のみ)

T		
F	周波数	T
		時間

小文字の下付き文字 (pp) と意味

pp		
cc	CCP1	osc
ck	CLKOUT	rd
cs	$\overline{\text{CS}}$	rw
di	SDI	sc
do	SDO	ss
dt	データイン	t0
io	I/O ポート	t1
mc	$\overline{\text{MCLR}}$	wr
		WR

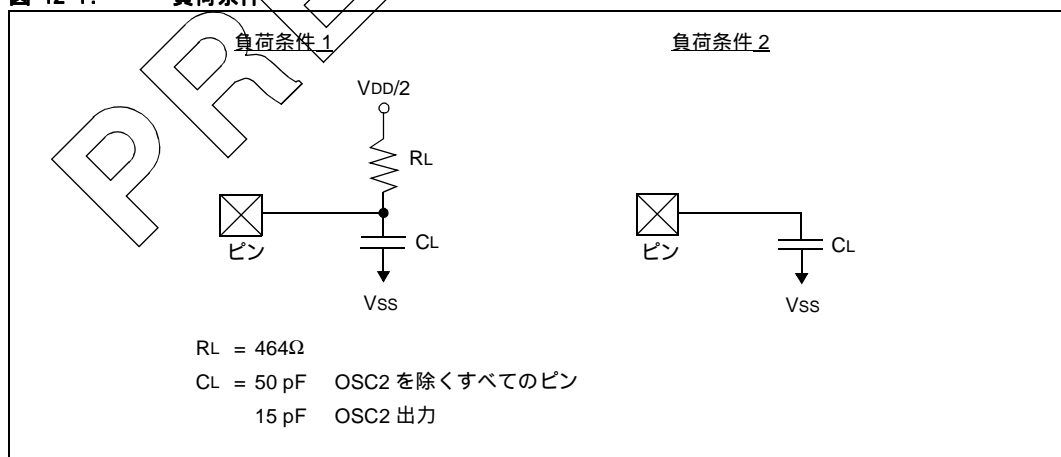
大文字の記号と意味

S		
F	立ち上がり	P
H	ハイ	R
I	無効 (ハイインピーダンス)	V
L	ロー	Z
		ハイインピーダンス
I²C のみ		
AA	出力アクセス	High
BUF	バス フリー	Low
		ロー

TCC:ST (I²C 仕様)

CC		
HD	保持	SU
		セットアップ
ST		
DAT	データ入力保持	STO
STA	スタート条件	ストップ条件

図 12-1: 負荷条件



空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

12.5 タイミング図および仕様

図 12-2: 外部クロックタイミング

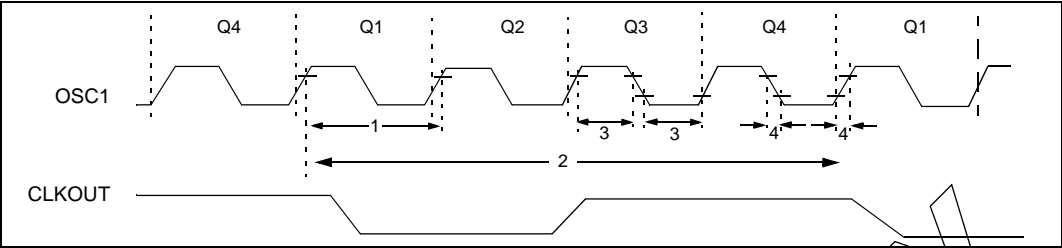


表 12-2: クロックタイミング条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
	Fosc	外部 CLKIN 周波数 (注意 1)				MHz	XT および EXTRC osc モード
						MHz	HS osc モード (PIC12CE67X-04)
						MHz	HS osc モード (PIC12CE67X-10)
						kHz	LP osc モード
		オシレータ周波数 (注意 1)				MHz	EXTRC osc モード
						MHz	XT osc モード
						MHz	HS osc モード (PIC12CE67X-04)
						MHz	HS osc モード (PIC12CE67X-10)
1	Tosc	外部 CLKIN 周期 (注意 1)				ns	XT および EXTRC osc モード
						ns	HS osc モード (PIC12CE67X-04)
						ns	HS osc モード (PIC12CE67X-10)
						μs	LP osc モード
		オシレータ周期 (注意 1)				ns	EXTRC osc モード
						ns	XT osc モード
						ns	HS osc モード (PIC12CE67X-04)
						ns	HS osc モード (PIC12CE67X-10)
2	Tcy	命令サイクル時間 (注意 1)				ns	TCY = 4/Fosc
3	TosL, TosH	外部クロックイン (OSC1) ハイ またはロー時間				ns	XT オシレータ
						μs	LP オシレータ
						ns	HS オシレータ
4	TosR, TosF	外部クロックイン (OSC1) 立ち 上がりまたは立ち下り時間				ns	XT オシレータ
						ns	LP オシレータ
						ns	HS オシレータ

† "Typ" の列は、特に指定のない限り、5V、25°C での値です。これらのパラメータは、設計ガイドラインのためのもので、テストはしていません。

注意 1: 命令サイクル時間 (TCY) は、入力オシレータ周期の 4 倍になります。規定された値はすべて、コードを実行しているデバイスを使用して、標準動作条件下で、オシレータの種類ごとの特性データに基づき決定しました。規定範囲を超えた場合は、オシレータの範囲が不安定になったり、予想消費電流を上回ることがあります。すべてのデバイスは OSC1/CLKIN ピンに加える外部クロックの「最小」値で動作テストをします。外部クロック入力を使用するときは、「最大」サイクル時間の上限は、すべてのデバイスで、「DC」(クロックなし)になります。OSC2 は、PIC12CE67X とは接続されていません (負荷していません)。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 12-3: CLKOUT および I/O のタイミング

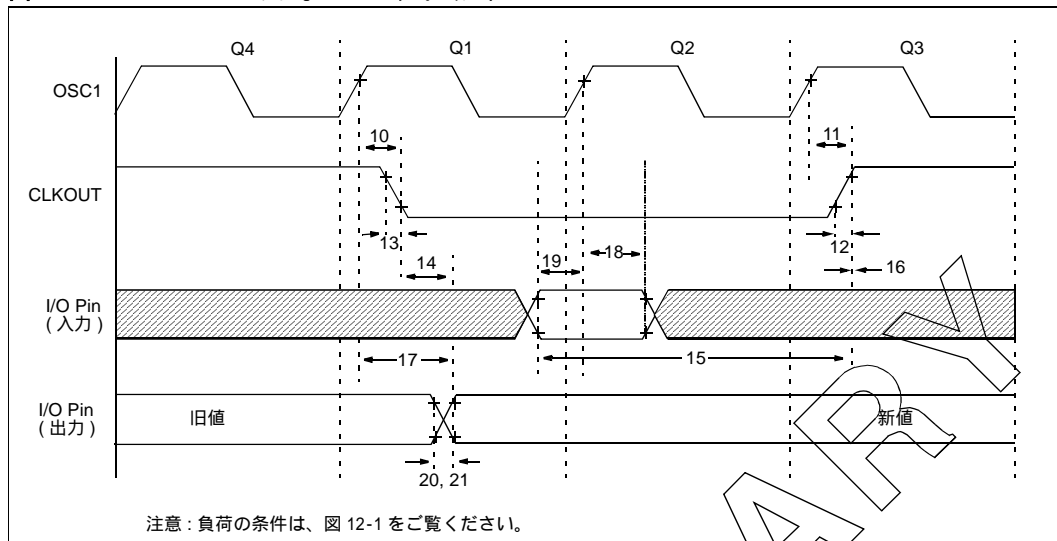


表 12-3: CLKOUT および I/O タイミング条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
10*	TosH2ckL	OSC1↑ から CLKOUT↓				ns	注意 1
11*	TosH2ckH	OSC1↑ から CLKOUT↑				ns	注意 1
12*	TckR	CLKOUT 立ち上がり時間				ns	注意 1
13*	TckF	CLKOUT 立下り時間				ns	注意 1
14*	TckL2ioV	CLKOUT ↓ ポート出力有効				ns	注意 1
15*	TioV2ckH	CLKOUT ↑ 前のポート入力有効				ns	注意 1
16*	TckH2iol	CLKOUT ↑ 後のポートのホールド				ns	注意 1
17*	TosH2ioV	OSC1↑ (Q1 サイクル) ポート出力有効				ns	
18*	TosH2iol	OSC1↑ (Q2 サイクル) ポート入力無効 (I/O のホールド時間)				ns	
19*	TioV2osH	OSC1↑ へのポート入力有効 (I/O のセットアップ時間)				ns	
20*	TioR	ポート出力立ち上がり時間				ns	PIC12CE67X
21*	TioF	ポート出力立下り時間				ns	PIC12CE67X
22††*	Timp	INT ピンハイまたはロー時間				ns	
23††*	Trbp	GPIO 変更 INT ハイまたはロー時間				ns	

* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り 5V、25°C での値です。これらのパラメータは設計ガイダンスのためのもので、テストはしていません。

†† これらのパラメータは、非同期で内部クロックエッジとは関係ありません。

注意 1: CLKOUT 出力が $4 \times T_{osc}$ の時、EXTRC および INTRC モードで計測されました。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 12-4: リセット、ウォッチドッグタイマ、オシレータスタートアップタイムおよびパワーアップタイムのタイミング

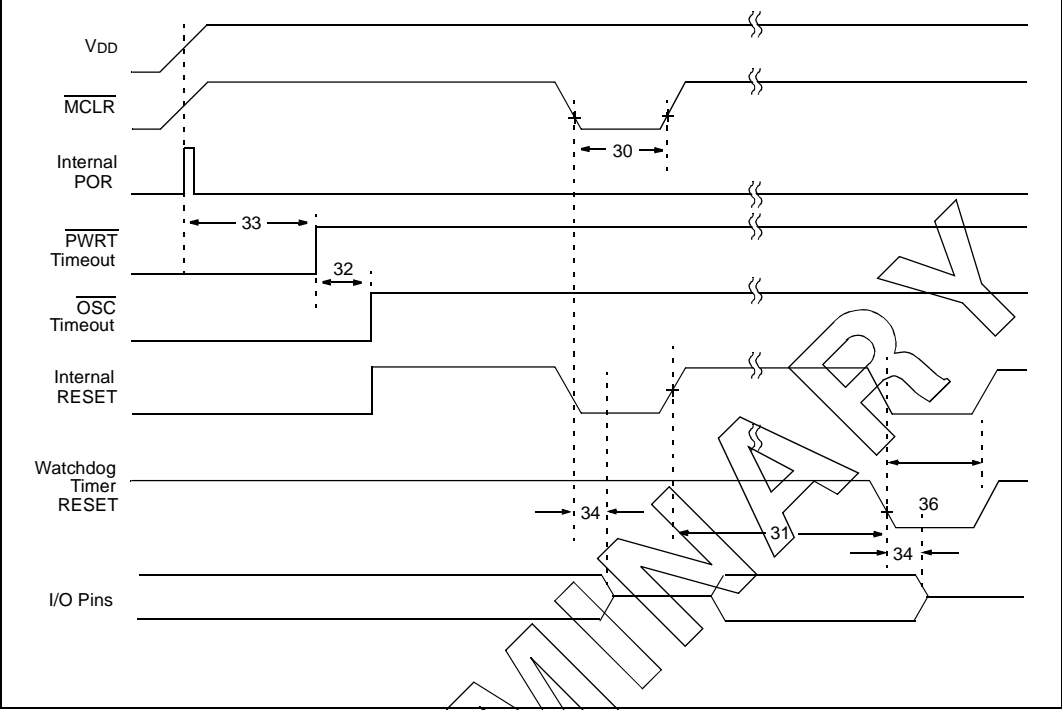


表 12-4: リセット、ウォッチドッグタイマ、オシレータスタートアップタイム、パワーアップタイム

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
30	TmcL	MCLR パルス幅 (ロー)				μs	VDD = 5V, -40°C から +125°C
31*	Twdt	ウォッチドッグタイマアウト周期 (プリスケールなし)				ms	VDD = 5V, -40°C から +125°C
32	Tost	オシレーションスタートアップタイム周期				—	Tosc = OSC1 周期
33*	Tpwrt	パワーアップタイム周期				ms	VDD = 5V, -40°C から +125°C
34	Tioz	MCLR ローからの I/O のハイインピーダンスまたはウォッチドッグタイマリセット				μs	

* これらのパラメータは特性データです。テストしていません。

† "Typ" の欄のデータは、特に記載がない限り 5V、25°C での値です。これらの値は設計ガイダンスのためのもので、テストはしていません。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 12-5: タイマ0クロックタイミング

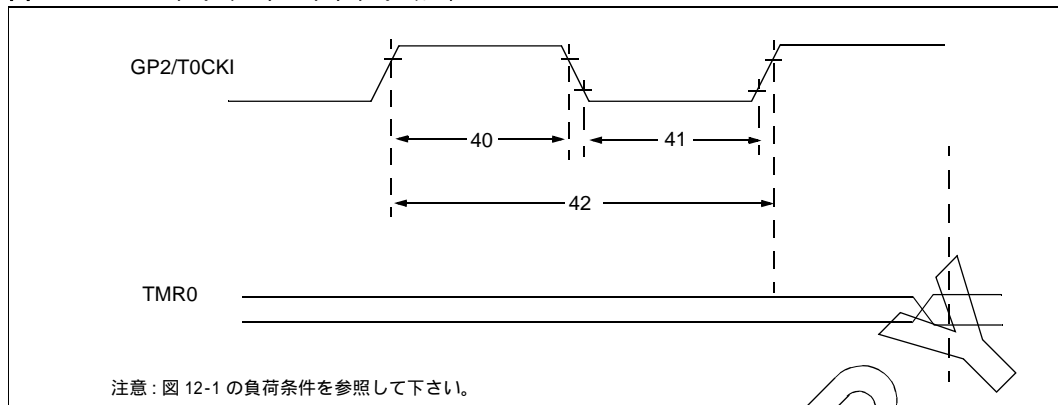


表 12-5: タイマ0クロック条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
40	Tt0H	T0CKI ハイパルス幅				ns	
		ブリスケーラなし				ns	
		ブリスケーラ有り				ns	
41	Tt0L	T0CKI ローパルス幅				ns	
		ブリスケーラなし				ns	
		ブリスケーラ有り				ns	
42	Tt0P	T0CKI 周期				ns	N = ブリスケーラ値 (1, 2, 4,..., 256)
48	Tcke2tmrl	外部クロックエッジからタイマインクリメントの遅れ				—	

* これらのパラメータは特性データです。テストはしていません。

† "Typ" 欄のデータは、特に記載のない限り、5V、25°Cでの値です。これらのパラメータは設計ガイダンスのためのもので、テストはしていません。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

表 12-6: GPIO プルアップレジスタの範囲

VDD (V)	温度 (°C)	Min	Typ	Max	単位
GP0/GP1					
2.5	-40				Ω
	25				Ω
	85				Ω
	125				Ω
3.0	-40				Ω
	25				Ω
	85				Ω
	125				Ω
5.5	-40				Ω
	25				Ω
	85				Ω
	125				Ω
GP3					
2.5	-40				Ω
	25				Ω
	85				Ω
	125				Ω
3.0	-40				Ω
	25				Ω
	85				Ω
	125				Ω
5.5	-40				Ω
	25				Ω
	85				Ω
	125				Ω

* これらのパラメータは特性データです。テストはしていません。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

表 12-7: A/D コンバータ特性
 PIC12CE673-04 (商業用, 工業用, 拡張⁽³⁾)
 PIC12CE673-10 (商業用, 工業用, 拡張⁽³⁾)
 PIC12CE674-04 (商業用, 工業用, 拡張⁽³⁾)
 PIC12CE674-10 (商業用, 工業用, 拡張⁽³⁾)

パラメータ 番号	記号	特性	Min	Typ†	Max	単位	条件
	NR	レゾリューション				—	$V_{REF} = V_{DD} = 5.12V, V_{SS} \leq A_{IN} \leq V_{REF}$
	NINT	積分エラー				—	$V_{REF} = V_{DD} = 5.12V, V_{SS} \leq A_{IN} \leq V_{REF}$
	NDIF	微分エラー				—	$V_{REF} = V_{DD} = 5.12V, V_{SS} \leq A_{IN} \leq V_{REF}$
	NFS	フルスケールエラー				—	$V_{REF} = V_{DD} = 5.12V, V_{SS} \leq A_{IN} \leq V_{REF}$
	NOFF	オフセットエラー				—	$V_{REF} = V_{DD} = 5.12V, V_{SS} \leq A_{IN} \leq V_{REF}$
	—	単一性				—	$V_{SS} \leq A_{IN} \leq V_{REF}$
	VREF	基準電圧				V	
	VAIN	アナログ入力電圧				V	
	ZAIN	アナログ電圧電源の 推薦インピーダンス				kΩ	
	IAD	A/D 変換電流 (V_{DD})				μA	A/D がオンの時の平均電流消費量 (注意 1)
	IREF	VREF 入力電流 (注意 2)				mA μA	サンプリング中 サンプリング時以外

* このパラメータは、特性データです。テストはしていません。

† “Typ” の欄のデータは、特に記載がない限り 5V, 25°C での値です。これらの値は、設計ガイダンスのためのもので、テストはしていません。

注意 1: A/D がオフの時、弱リーク電流以外の電流は消費しません。パワーダウン電流の規格には、A/D モジュールからのリーク電流が含まれます。

2: VREF 電流は、GP1 または、VDD ピンからで、どちらも基準入力として選択できます。

3: 拡張動作範囲は、このデバイスの Advance Information です。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

表 12-8: A/D コンバータ特性
PIC12LCE673-04 (商業用、工業用)
PIC12LCE674-04 (商業用、工業用)

パラメータ 番号	記号	特性	Min	Typ†	Max	単位	条件
	NR	レゾリューション				—	$V_{REF} = V_{DD} = 3.0V$ (注意 1)
	NINT	積分エラー				—	$V_{REF} = V_{DD} = 3.0V$ (注意 1)
	NDIF	微分エラー				—	$V_{REF} = V_{DD} = 3.0V$ (注意 1)
	NFS	フルスケールエラー				—	$V_{REF} = V_{DD} = 3.0V$ (注意 1)
	NOFF	オフセットエラー				—	$V_{REF} = V_{DD} = 3.0V$ (注意 1)
	—	単一性				—	$V_{SS} \leq AIN \leq V_{REF}$
	VREF	基準電圧				V	
	VAIN	アナログ入力電圧				V	
	ZAIN	アナログ電圧電源の 推薦インピーダンス				kΩ	
	IAD	A/D 変換電流 (V_{DD})				μA	A/D がオンのときの平均電流消費量 (注意 2)
	IREF	VREF 入力電流 (注意 3)				mA μA	サンプリング中 サンプリング時以外すべて

- * このパラメータは、特性データです。テストはしていません。
- † "Typ" の列のデータは、特に指定のない限り 5V、25°C での値です。これらの値は設計ガイダンスのためのもので、テストはしていません。
- 注意 1: これらの規格は、 $V_{REF} = 3.0V$ あるいは $V_{DD} \geq 3.0V$ の場合に適用します。 V_{IN} を、 V_{SS} から V_{REF} の間にする必要があります。
- 2: A/D がオフの時、弱リーク電流以外電流は消費しません。パワーダウン電流の規格には、A/D モジュールからのリーク電流が含まれます。
- 3: VREF 電流は、GP1 または V_{DD} ピンからで、どちらも基準入力として選択できます。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 12-6: A/D 変換のタイミング

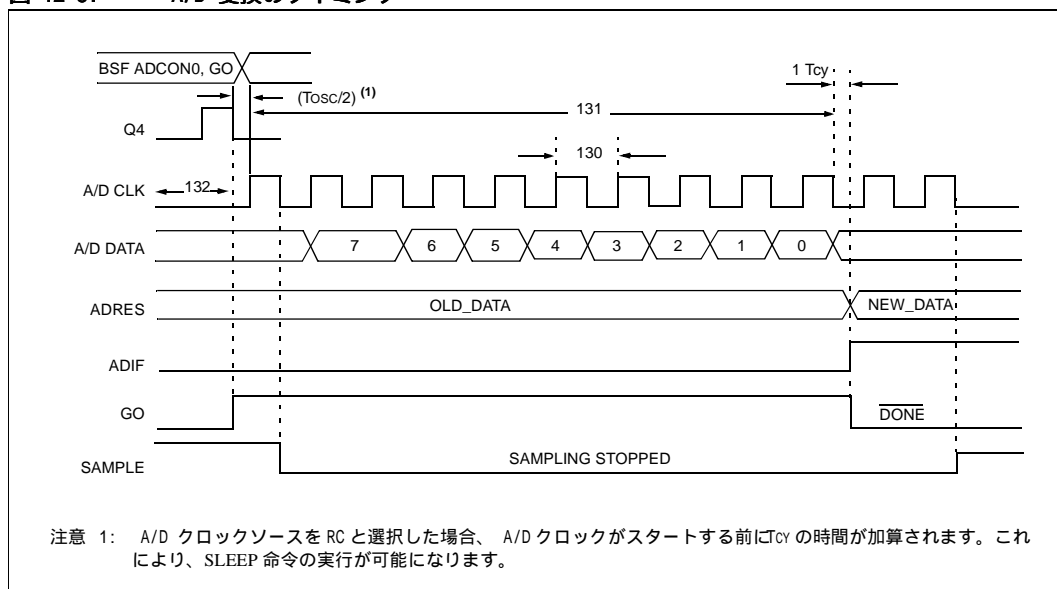


表 12-9: A/D 変換の条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
130	TAD	A/D クロック周期				μs	VREF ≥ 3.0V
130	TAD	A/D 内部 RC オシレータソース				μs	VREF 範囲全体
						μs	ADCS1:ADCS0 = 11 (RC オシレータソース)
						μs	PIC12LCE67X, VDD = 3.0V
						μs	PIC12CE67X
131	TCNV	変換時間 (S/H 時間を除く) 注意 1				—	
132	TACQ	獲得時間				μs	

* このパラメータは、特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り 5V、25°C での値です。これらの値は設計ガイダンスのためのもので、テストはしていません。

注意 1: ADRES レジスタは、次の T_{CY} サイクルでリードします。

空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

メモ:

PIC12CE67X

13.0 DC および AC 特性 - PIC12CE67X

この章のグラフと表は設計の目安を示すためのもので、テストはしていません。また、保証値ではありません。いくつかのグラフや表では、データが規定の動作範囲から外れているものもあります（例えば規定 V_{DD} 範囲外）。これは参考のためで、デバイスは規定の範囲にかぎり正常に動作します。

この章のデータは、一定期間にわたってロットの異なる製品から採集したデータの統計をまとめたものです。“Typical”は平均を表し、“max”や“min”はそれぞれ（平均 + 3σ ）、（平均 - 3σ ）を表します（ σ は標準偏差）。

図 13-1: 内部 RC 周波数範囲の校正値 VS 温度 ($V_{DD} = 5.0V$)
(内部 RC は、25、5.0V で校正されます。)

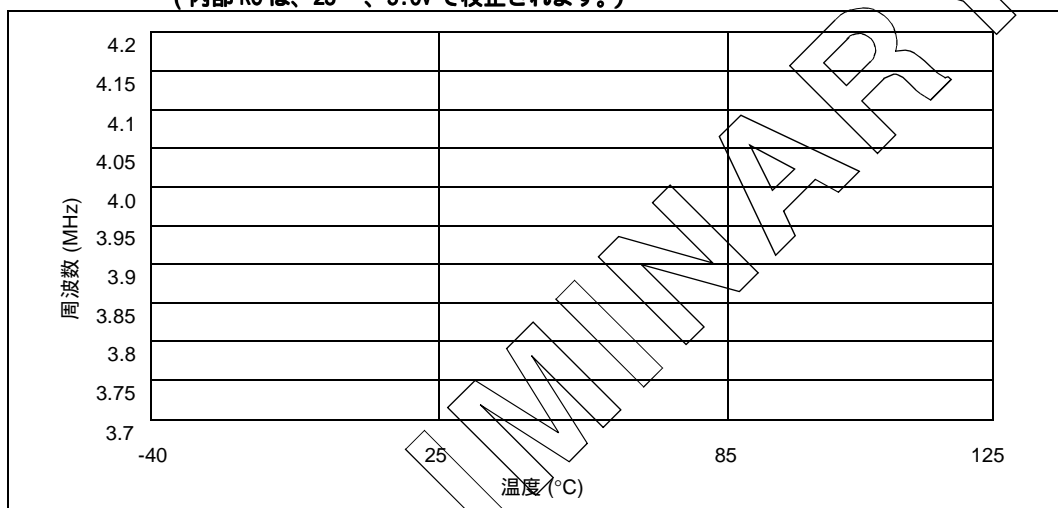
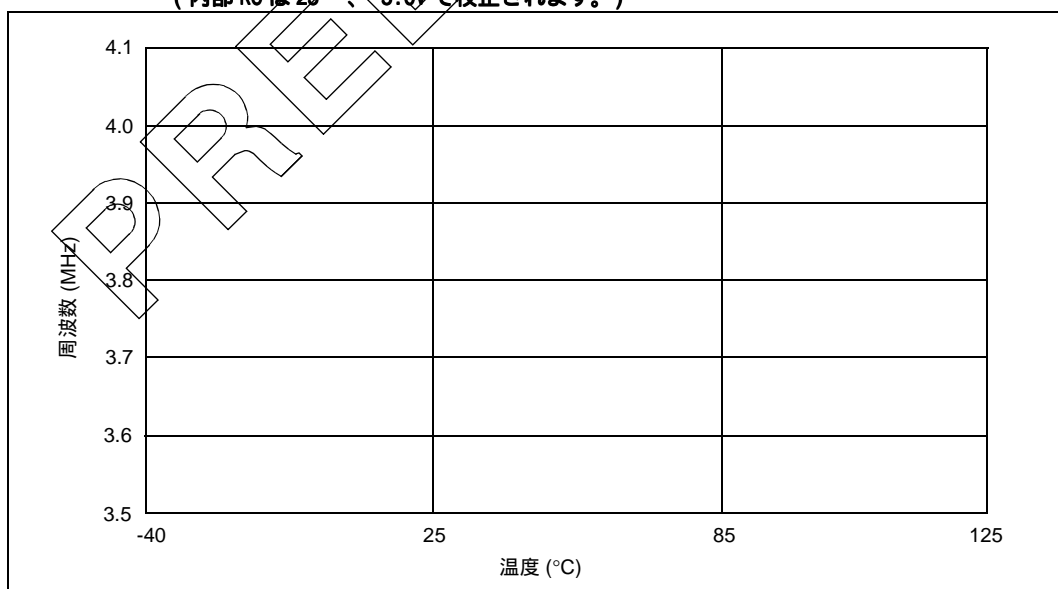


図 13-2: 内部 RC 周波数範囲の校正値 VS 温度 ($V_{DD} = 3.0V$)
(内部 RC は 25、5.0V で校正されます。)



空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 13-3: 内部 RC 周波数 VS 校正値 (VDD = 5.5V)

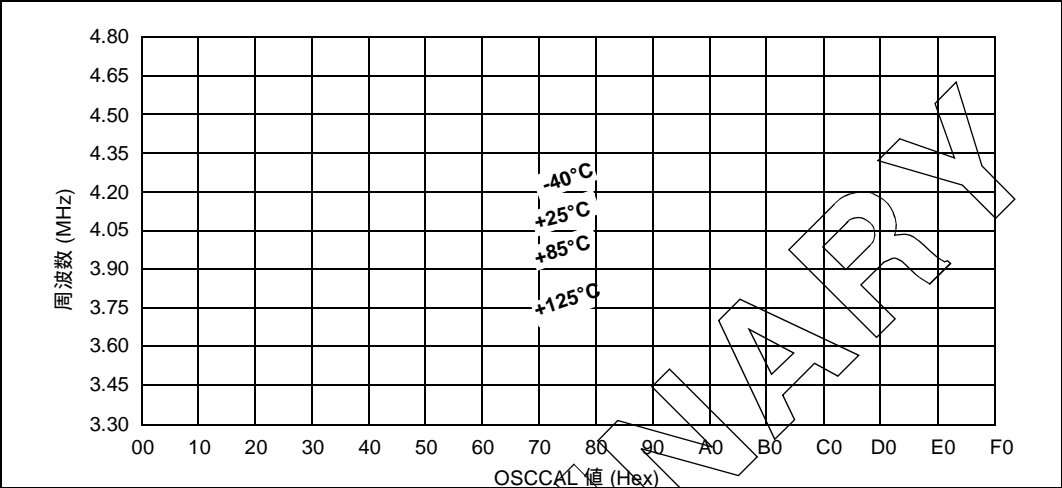
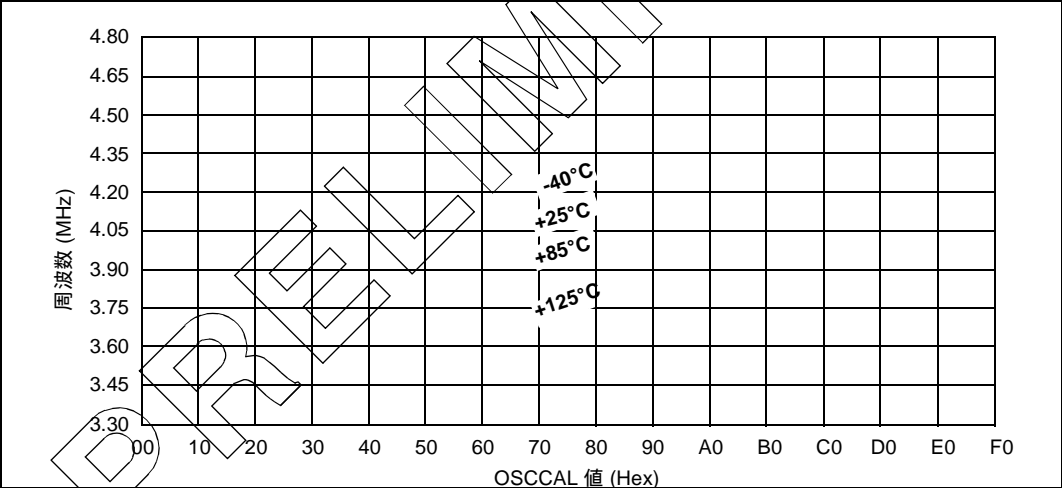


図 13-4: 内部 RC 周波数 VS 校正値 (VDD = 3.5V)



空白の規格値やデータについては最新版英文データシートを参照してください。

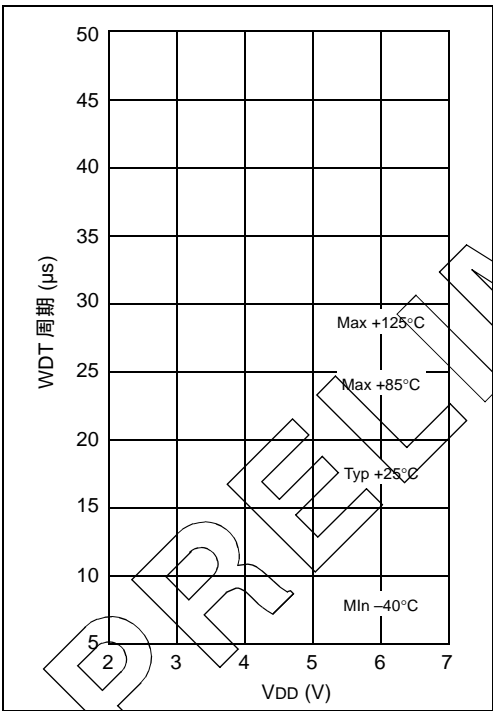
PIC12CE67X

表 13-1: 動作中の I_{DD} (TYPICAL) - WDT イネーブル、 25

オシレータ	周波数	V _{DD} = 2.5V	V _{DD} = 5.5V
外部 RC	MHz	μA*	μA
内部 RC	MHz	μA	mA
XT	MHz	μA	μA
LP	KHz	μA	μA

* 外部 R&C の電流は含まれません。

図 13-5: WDTタイマタイムアウト周期 vs V_{DD}



空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 13-6: I_{OH} vs. V_{OH} , $V_{DD} = 2.5\text{ V}$

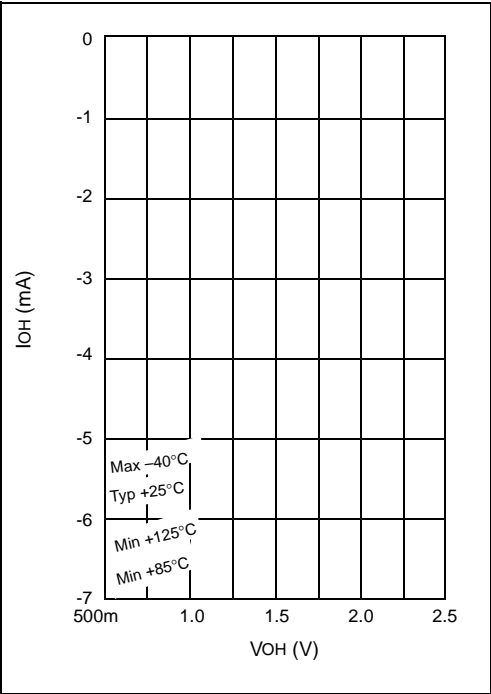


図 13-8: I_{OL} vs. V_{OL} , $V_{DD} = 2.5\text{ V}$

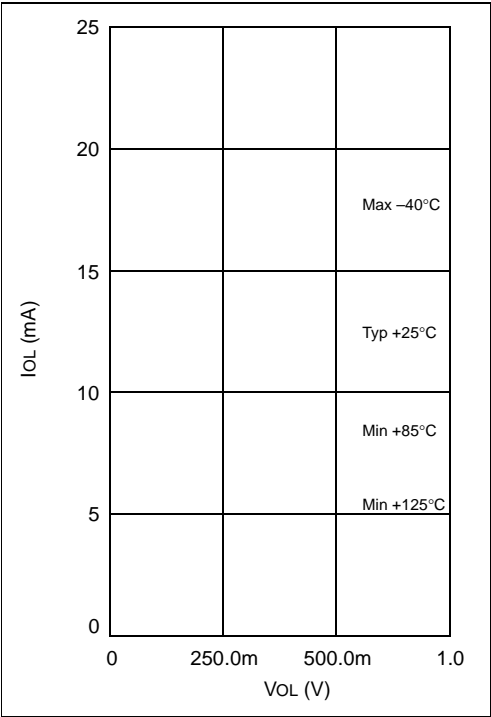


図 13-7: I_{OH} vs. V_{OH} , $V_{DD} = 3.5\text{ V}$

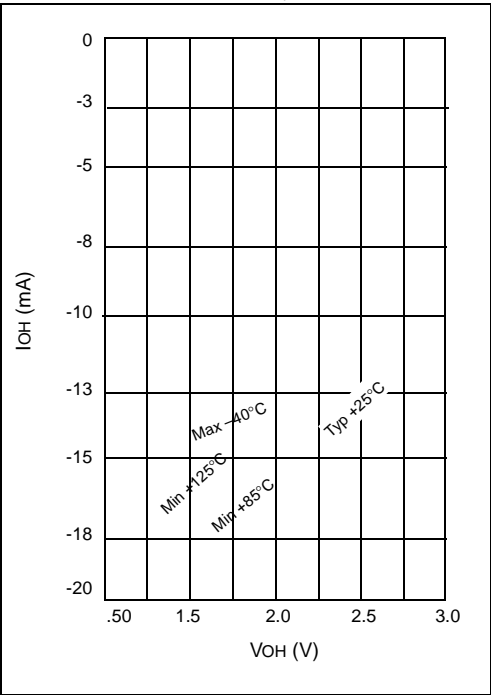
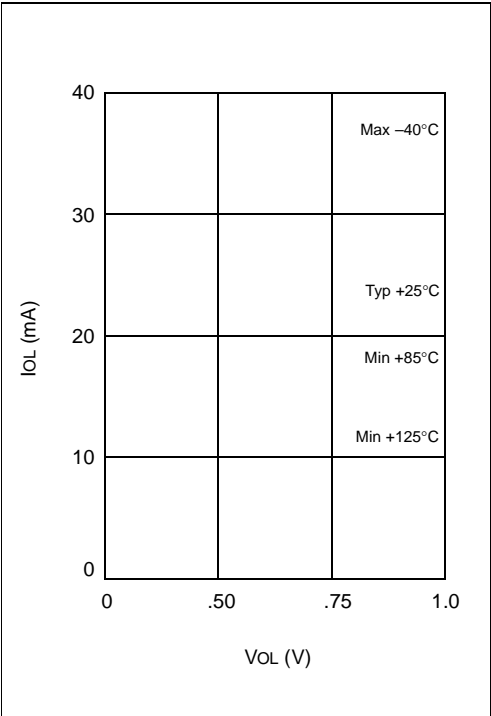


図 13-9: I_{OL} vs. V_{OL} , $V_{DD} = 3.5\text{ V}$



空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

図 13-10: I_{OH} vs. V_{OH} , $V_{DD} = 5.5$ V

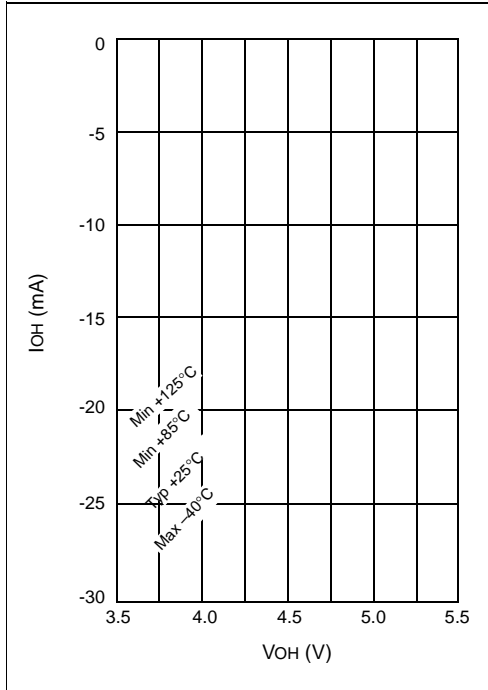
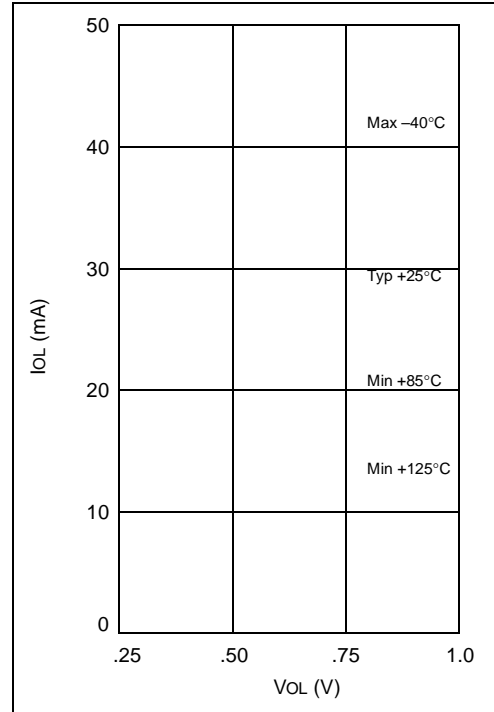


図 13-11: I_{OL} vs. V_{OL} , $V_{DD} = 5.5$ V



空白の規格値やデータについては最新版英文データシートを参照してください。

PIC12CE67X

メモ：

14.0 パッケージ

14.1 Package Marking Information

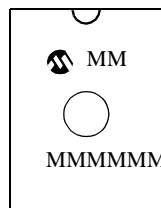
8-Lead PDIP (300 mil)



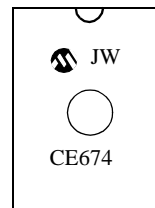
Example



8-Lead Windowed Ceramic Side Brazed (300 mil)



Example

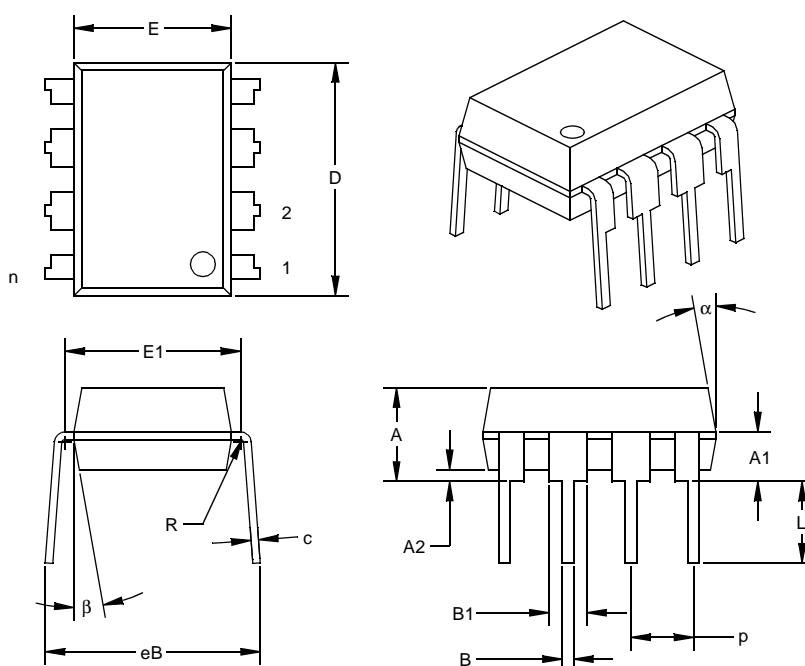


Legend:	MM...M	Microchip part number information
	XX...X	Customer specific information*
	AA	Year code (last 2 digits of calendar year)
	BB	Week code (week of January 1 is week '01')
	C	Facility code of the plant at which wafer is manufactured
		O = Outside Vendor
		C = 5" Line
		S = 6" Line
		H = 8" Line
	D	Mask revision number
	E	Assembly code of the plant or country of origin in which part was assembled
Note: In the event the full Microchip part number cannot be marked on one line, it will be carried over to the next line thus limiting the number of available characters for customer specific information.		

* Standard OTP marking consists of Microchip part number, year code, week code, facility code, mask rev#, and assembly code. For OTP marking beyond this, certain price adders apply. Please check with your Microchip Sales Office. For QTP devices, any special marking adders are included in QTP price.

PIC12CE67X

Package Type: K04-018 8-Lead Plastic Dual In-line (P) – 300 mil



Units		INCHES*			MILLIMETERS		
Dimension Limits		MIN	NOM	MAX	MIN	NOM	MAX
PCB Row Spacing			0.300			7.62	
Number of Pins	n		8			8	
Pitch	p		0.100			2.54	
Lower Lead Width	B	0.014	0.018	0.022	0.36	0.46	0.56
Upper Lead Width	B1†	0.055	0.060	0.065	1.40	1.52	1.65
Shoulder Radius	R	0.000	0.005	0.010	0.00	0.13	0.25
Lead Thickness	c	0.006	0.012	0.015	0.20	0.29	0.38
Top to Seating Plane	A	0.140	0.150	0.160	3.56	3.81	4.06
Top of Lead to Seating Plane	A1	0.060	0.080	0.100	1.52	2.03	2.54
Base to Seating Plane	A2	0.005	0.020	0.035	0.13	0.51	0.89
Tip to Seating Plane	L	0.120	0.130	0.140	3.05	3.30	3.56
Package Length	D‡	0.355	0.370	0.385	9.02	9.40	9.78
Molded Package Width	E‡	0.245	0.250	0.260	6.22	6.35	6.60
Radius to Radius Width	E1	0.267	0.280	0.292	6.78	7.10	7.42
Overall Row Spacing	eB	0.310	0.342	0.380	7.87	8.67	9.65
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

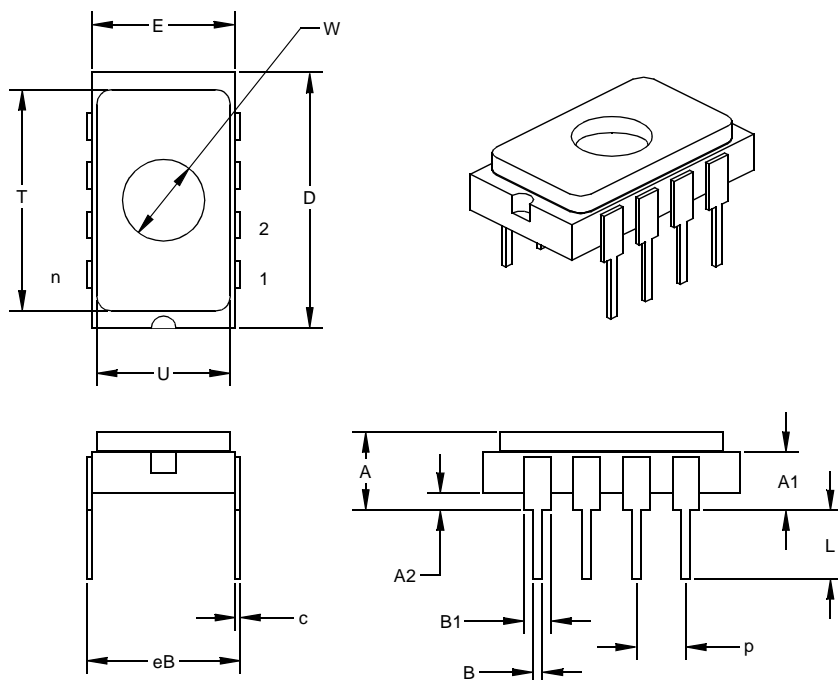
* Controlling Parameter.

† Dimension "B1" does not include dam-bar protrusions. Dam-bar protrusions shall not exceed 0.003" (0.076 mm) per side or 0.006" (0.152 mm) more than dimension "B1."

‡ Dimensions "D" and "E" do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010" (0.254 mm) per side or 0.020" (0.508 mm) more than dimensions "D" or "E."

PIC12CE67X

Package Type: K04-084 8-Lead Ceramic Side Brazed Dual In-line with Window (JW) – 300 mil



Units		INCHES*			MILLIMETERS		
Dimension Limits		MIN	NOM	MAX	MIN	NOM	MAX
PCB Row Spacing			0.300			7.62	
Number of Pins	n		8			8	
Pitch	p	0.098	0.100	0.102	2.49	2.54	2.59
Lower Lead Width	B	0.016	0.018	0.020	0.41	0.46	0.51
Upper Lead Width	B1	0.050	0.055	0.060	1.27	1.40	1.52
Lead Thickness	c	0.008	0.010	0.012	0.20	0.25	0.30
Top to Seating Plane	A	0.145	0.165	0.185	3.68	4.19	4.70
Top of Body to Seating Plane	A1	0.103	0.123	0.143	2.62	3.12	3.63
Base to Seating Plane	A2	0.025	0.035	0.045	0.64	0.89	1.14
Tip to Seating Plane	L	0.130	0.140	0.150	3.30	3.56	3.81
Package Length	D	0.510	0.520	0.530	12.95	13.21	13.46
Package Width	E	0.280	0.290	0.300	7.11	7.37	7.62
Overall Row Spacing	eB	0.310	0.338	0.365	7.87	8.57	9.27
Window Diameter	W	0.161	0.166	0.171	4.09	4.22	4.34
Lid Length	T	0.440	0.450	0.460	11.18	11.43	11.68
Lid Width	U	0.260	0.270	0.280	6.60	6.86	7.11

* Controlling Parameter.

PIC12CE67X

NOTES:

APPENDIX A: EEPROM データメモリへの アクセス用コード

未完成。コードの完成状況に関しては インターネット www.microchip.com をご覧ください。

PIC12CE67X

メモ :

PIC12CE67X

INDEX

A

A/D	
Accuracy/Error	43
ADCON0 Register	37
ADIF bit	39
Analog Input Model Block Diagram	40
Analog-to-Digital Converter	37
Configuring Analog Port Pins	41
Configuring the Interrupt	39
Configuring the Module	39
Connection Considerations	43
Conversion Clock	41
Conversions	42
Converter Characteristics	91
Delays	40
Effects of a Reset	43
Equations	40
Flowchart of A/D Operation	44
GO/DONE bit	39
Internal Sampling Switch (Rss) Impedance	40
Operation During Sleep	43
Sampling Requirements	40
Sampling Time	40
Source Impedance	40
Time Delays	40
Transfer Function	43
Absolute Maximum Ratings	79
ADDLW Instruction	64
ADDWF Instruction	64
ADIE bit	18
ADIF bit	19
ADRES Register	13, 37, 39
ALU	7
ANDLW Instruction	64
ANDWF Instruction	64
Application Notes	
AN546	37
AN556	22
Architecture	
Harvard	7
Overview	7
von Neumann	7
Assembler	
MPASM Assembler	76

B

BCF Instruction	65
Bit Manipulation	62
Block Diagrams	
Analog Input Model	40
On-Chip Reset Circuit	49
Timer0	31
Timer0/WDT Prescaler	34
Watchdog Timer	57
BSF Instruction	65
BTFSC Instruction	65
BTFSS Instruction	66

C

C bit	15
CAL0 bit	21
CAL1 bit	21
CAL2 bit	21
CAL3 bit	21
CALFST bit	21
CALL Instruction	66

CALSLW bit	21
Carry bit	7
Clocking Scheme	10
CLRF Instruction	66
CLRW Instruction	66
CLRWDW Instruction	67
Code Examples	
Changing Prescaler (Timer0 to WDT)	35
Changing Prescaler (WDT to Timer0)	35
Indirect Addressing	23
Code Protection	45, 59
COMF Instruction	67
Computed GOTO	22
Configuration Bits	45

D

DC bit	15
DC Characteristics	
PIC12C671	81
PIC12C672	81
DECF Instruction	67
DECFSZ Instruction	67
Development Support	3, 75
Development Tools	75
Diagrams - See Block Diagrams	
Digit Carry bit	7
Direct Addressing	23

E

EEPROM Peripheral Operation	27
Electrical Characteristics	
PIC12C67X	79
External Brown-out Protection Circuit	53
External Power-on Reset Circuit	53

F

Family of Devices	4
Features	1
FSR Register	13, 14, 23
Fuzzy Logic Dev. System (fuzzyTECH®-MP)	77

G

General Description	3
GIE bit	54
GOTO Instruction	68
GPIF bit	56
GPIO	25, 51
GPIO Register	13
GPPU bit	16

I

I/O Interfacing	25
I/O Ports	25
I/O Programming Considerations	26
ICEPIC Low-Cost PIC16CXXX In-Circuit Emulator	75
ID Locations	45
INCF Instruction	68
INCFSZ Instruction	68
In-Circuit Serial Programming	45, 59
INDF Register	14, 23
Indirect Addressing	23
Initialization Conditions for All Registers	51
Instruction Cycle	10
Instruction Flow/Pipelining	10
Instruction Format	61
Instruction Set	
ADDLW	64
ADDWF	64
ANDLW	64
ANDWF	64

PIC12CE67X

BCF	65	MPLAB® Integrated Development Environment Software	76
BSF	65	N	
BTFSC	65	NOP Instruction	70
BTFSS	66	O	
CALL	66	Opcode	61
CLRF	66	OPTION Instruction	70
CLRWF	66	OPTION Register	16
CLRWDT	67	Orthogonal	7
COMF	67	OSC selection	45
DECF	67	OSCCAL Register	21
DECFSZ	67	Oscillator	
GOTO	68	EXTRC	50
INCF	68	HS	50
INCFSZ	68	INTRC	50
IORLW	68	LP	50
IORWF	69	XT	50
MOVF	69	Oscillator Configurations	46
MOVLW	69	Oscillator Types	
MOVWF	69	EXTRC	46
NOP	70	HS	46
OPTION	70	INTRC	46
RETFIE	70	LP	46
RETLW	70	XT	46
RETURN	71	P	
RLF	71	Package Marking Information	99
RRF	71	Packaging Information	99
SLEEP	71	Paging, Program Memory	22
SUBLW	72	PCL	62
SUBWF	72	PCL Register	13, 14, 22
SWAPF	73	PCLATH	51
TRIS	73	PCLATH Register	13, 14, 22
XORLW	73	PCON Register	20, 50
XORWF	73	PD bit	15, 48
Section	61	PIC12C67X DC and AC Characteristics	95
INTCON Register	17	PICDEM-1 Low-Cost PIC16/17 Demo Board	76
INTEDG bit	16	PICDEM-2 Low-Cost PIC16CXX Demo Board	76
Internal Sampling Switch (Rss) Impedance	40	PICDEM-3 Low-Cost PIC16CXXX Demo Board	76
Interrupts	45	PICMASTER® In-Circuit Emulator	75
A/D	54	PICSTART® Plus Entry Level Development System	75
GP2/INT	54	PIE1 Register	18
GPIO Port	54	Pinout Description	
Section	54	PIC12C67X	9
TMR0	56	PIR1 Register 1	9
TMR0 Overflow	54	POP	22
IORLW Instruction	68	POR	50
IORWF Instruction	69	Oscillator Start-up Timer (OST)	45, 50
IRP bit	15	Power Control Register (PCON)	50
K		Power-on Reset (POR)	45, 50, 51
KeeLoq® Evaluation and Programming Tools	77	Power-up Timer (PWRT)	45, 50
L		Power-Up-Timer (PWRT)	50
Loading of PC	22	Time-out Sequence	50
M		Time-out Sequence on Power-up	52
MCLR	48, 51	TO	48
Memory		POR bit	20
Data Memory	11	Power	48
Program Memory	11	Power-down Mode (SLEEP)	58
Program Memory Map		Prescaler, Switching Between Timer0 and WDT	35
PIC12C67X	11	PRO MATE® II Universal Programmer	75
Register File Map		Product Identification System - PIC12C67X 1	13
PIC12C67X	12	Program Branches	7
MOVF Instruction	69	Program Memory	
MOVLW Instruction	69	Paging	22
MOVWF Instruction	69	Program Memory Map	
MP-DriveWay® - Application Code Generator	77	PIC12C67X	11
MPLAB® C	77	Program Verification	59

PIC12CE67X

PS0 bit	16	TMR0 Interrupt	56
PS1 bit	16	Timing Diagrams	
PS2 bit	16	A/D Conversion	93
PSA bit	16	CLKOUT and I/O	87
PUSH	22	External Clock Timing	86
R		Time-out Sequence	52
RC Oscillator	47	Timer0	31, 89
Read Modify Write	26	Timer0 Interrupt Timing	32
Read-Modify-Write	26	Timer0 with External Clock	33
Register File	11	Wake-up from Sleep via Interrupt	59
Registers		TO bit	15
Map		TOSE bit	16
PIC12C67X	12	TRIS Instruction	73
Reset Conditions	51	TRIS Register	14, 25
Reset	45, 48	Two's Complement	7
Reset Conditions for Special Registers	51	U	
RETFIE Instruction	70	UV Erasable Devices	5
RETLW Instruction	70	W	
RETURN Instruction	71	W Register	
RLF Instruction	71	ALU	7
RP0 bit	11, 15	Wake-up from SLEEP	58
RP1 bit	15	Watchdog Timer (WDT)	45, 48, 51, 57
RRF Instruction	71	WDT	51
S		Block Diagram	57
SEEVAL® Evaluation and Programming System	77	Period	57
Services		Programming Considerations	57
One-Time-Programmable (OTP)	5	Timeout	51
Quick-Turnaround-Production (QTP)	5	X	
Serialized Quick-Turnaround Production (SQTP)	5	XORLW Instruction	73
SFR	62	XORWF Instruction	73
SFR As Source/Destination	62	Z	
SLEEP	45, 48	Z bit	15
SLEEP Instruction	71	Zero bit	7
Software Simulator (MPLAB® SIM)	77		
Special Features of the CPU	45		
Special Function Register			
PIC12C67X	13		
Special Function Registers	62		
Special Function Registers, Section	12		
Stack	22		
Overflows	22		
Underflow	22		
STATUS Register	15		
SUBLW Instruction	72		
SUBWF Instruction	72		
SWAPF Instruction	73		
T			
T0CS bit	16		
TAD	41		
RTCC 51			
Timers			
Block Diagram 31			
External Clock 33			
External Clock Timing 33			
Increment Delay 33			
Interrupt 31			
Interrupt Timing 32			
Prescaler 34			
Prescaler Block Diagram 34			
Section 31			
Switching Prescaler Assignment 35			
Synchronization 33			
T0CKI 33			
TOIF	56		
Timing	31		

PIC12CE67X

LIST OF EXAMPLES

Example 3-1: Instruction Pipeline Flow	10
Example 4-1: Indirect Addressing	23
Example 5-1: Read-Modify-Write Instructions on an I/O Port	26
Example 6-1: Changing Prescaler (Timer0→WDT)	31
Example 6-2: Changing Prescaler (WDT→Timer0)	31
Example 7-1: Calculating the Minimum Required Sample Time	36
Example 7-2: Doing an A/D Conversion	38
Example 8-1: Saving STATUS and W Registers in RAM	52

LIST OF FIGURES

Figure 3-1: PIC12C67X Block Diagram	8
Figure 3-2: Clock/Instruction Cycle	10
Figure 4-1: PIC12C67X Program Memory Map and Stack	11
Figure 4-2: PIC12C67X Register File Map	12
Figure 4-3: Status Register (Address 03h, 83h)	15
Figure 4-4: OPTION Register (Address 81h)	16
Figure 4-5: INTCON Register (Address 0Bh, 8Bh)	17
Figure 4-6: PIE1 Register (Address 8Ch)	18
Figure 4-7: PIR1 Register (Address 0Ch)	19
Figure 4-8: PCON Register (Address 8Eh)	20
Figure 4-9: OSCCAL Register (Address 8Fh)	21
Figure 4-10: Loading of PC In Different Situations	22
Figure 4-11: Direct/Indirect Addressing	23
Figure 5-1: Equivalent Circuit for a Single I/O Pin	25
Figure 5-2: Successive I/O Operation	26
Figure 6-1: Timer0 Block Diagram	27
Figure 6-2: Timer0 Timing: Internal Clock/ No Prescale	27
Figure 6-3: Timer0 Timing: Internal Clock/ Prescale 1:2	28
Figure 6-4: Timer0 Interrupt Timing	28
Figure 6-5: Timer0 Timing with External Clock	29
Figure 6-6: Block Diagram of the Timer0/ WDT Prescaler	30
Figure 7-1: ADCON0 Register (Address 1Fh)	33
Figure 7-2: ADCON1 Register (Address 9Fh)	34
Figure 7-3: A/D Block Diagram	35
Figure 7-4: Analog Input Model	36
Figure 7-5: A/D Transfer Function	39
Figure 7-6: Flowchart of A/D Operation	40
Figure 8-1: Configuration Word	41
Figure 8-2: Crystal Operation (or Ceramic Resonator) (XT, HS or LP OSC Configuration)	42
Figure 8-3: External Clock Input Operation (XT, HS or LP OSC Configuration)	42
Figure 8-4: External Parallel Resonant Crystal Oscillator Circuit	43
Figure 8-5: External Series Resonant Crystal Oscillator Circuit	43
Figure 8-6: External RC Oscillator Mode	43
Figure 8-7: Simplified Block Diagram of On-chip Reset Circuit	45
Figure 8-8: Time-out Sequence on Power-up (MCLR not Tied to VDD): Case 1	48
Figure 8-9: Time-out Sequence on Power-up (MCLR Not Tied To VDD): Case 2	48
Figure 8-10: Time-out Sequence on Power-up (MCLR Tied to VDD)	48
Figure 8-11: External Power-on Reset Circuit (for Slow VDD Power-up)	49

Figure 8-12: External Brown-out Protection Circuit 1	49
Figure 8-13: External Brown-out Protection Circuit 2	49
Figure 8-14: Interrupt Logic	50
Figure 8-15: INT PIN Interrupt Timing	51
Figure 8-16: Watchdog Timer Block Diagram	53
Figure 8-17: Summary of Watchdog Timer Registers	53
Figure 8-18: Wake-up from Sleep Through Interrupt	55
Figure 8-19: Typical In-Circuit Serial Programming Connection	55
Figure 9-1: General Format for Instructions	57
Figure 11-1: Load Conditions	81
Figure 11-2: External Clock Timing	82
Figure 11-3: CLKOUT and I/O Timing	83
Figure 11-4: Reset, Watchdog Timer, Oscillator Start-Up Timer, and Power-Up Timer Timing	84
Figure 11-5: Timer0 Clock Timings	85
Figure 11-6: A/D Conversion Timing	89
Figure 12-1: Calibrated Internal RC Frequency Range vs. Temperature (VDD = 5.0V) (Internal RC is Calibrated to 25°C, 5.0V) ...	91
Figure 12-2: Calibrated Internal RC Frequency Range vs. Temperature (VDD = 3.0V) (Internal RC is Calibrated to 25°C, 5.0V) ...	91
Figure 12-3: Internal RC Frequency vs. Calibration Value (VDD = 5.5V)	92
Figure 12-4: Internal RC Frequency vs. Calibration Value (VDD = 3.5V)	92
Figure 12-5: WDT Timer Time-out Period vs. VDD	93
Figure 12-6: IOH vs. VOH, VDD = 2.5 V	94
Figure 12-7: IOH vs. VOH, VDD = 5.5 V	94
Figure 12-8: IOL vs. VOL, VDD = 2.5 V	94
Figure 12-9: IOL vs. VOL, VDD = 5.5 V	94

LIST OF TABLES

Table 1-1: PIC12CXXX Family of Devices	4
Table 3-1: PIC12C67X Pinout Description	9
Table 4-1: PIC12C67X Special Function Register Summary	13
Table 5-1: Summary of Port Registers	25
Table 6-1: Registers Associated with Timer0	31
Table 7-1: TAD vs. Device Operating Frequencies	37
Table 7-2: Summary of A/D Registers	40
Table 8-1: Capacitor Selection For Ceramic Resonators - PIC12C67X	42
Table 8-2: Capacitor Selection For Crystal Oscillator - PIC12C67X	42
Table 8-3: Time-out in Various Situations	46
Table 8-4: Status Bits and Their Significance	46
Table 8-5: Reset Condition for Special Registers	47
Table 8-6: Initialization Conditions for all registers	47
Table 9-1: Opcode Field Descriptions	57
Table 9-2: Instruction Set Summary	59
Table 10-1: Development Tools From Microchip	74
Table 11-1: Cross Reference of Device Specs for Oscillator Configurations and Frequencies of Operation (Commercial Devices)	76
Table 11-2: Clock Timing Requirements	82
Table 11-3: CLKOUT and I/O Timing Requirements	83
Table 11-4: Reset, Watchdog Timer, Oscillator Start-up Timer, Power-up Timer	84
Table 11-5: Timer0 Clock Requirements	85
Table 11-6: GPIO Pull-up Resistor Ranges	86

Table 11-7:	A/D Converter Characteristics:	
	PIC12C671-04 (Commercial, Industrial, Automotive ⁽³⁾)	
	PIC12C671-10 (Commercial, Industrial, Automotive ⁽³⁾)	
	PIC12C672-04 (Commercial, Industrial, Automotive ⁽³⁾)	
	PIC12C672-10 (Commercial, Industrial, Automotive ⁽³⁾)	87
Table 11-8:	A/D Converter Characteristics:	
	PIC12LC671-04 (Commercial, Industrial, Automotive ⁽⁴⁾)	
	PIC12LC672-04 (Commercial, Industrial, Automotive ⁽⁴⁾)	88
Table 11-9:	A/D Conversion Requirements	89
Table 12-1:	Dynamic Idd (Typical) - WDT Enabled, 25°C	93

PIC12CE67X

NOTES:

Trademarks: The Microchip name, logo, PIC, PICSTART, PICMASTER and PRO MATE are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries. PICmicro, *FlexROM*, MPLAB and *fuzzyLAB* are trademarks and SQTP is a service mark of Microchip in the U.S.A.

fuzzyTECH is a registered trademark of Inform Software Corporation. IBM, IBM PC-AT are registered trademarks of International Business Machines Corp. Pentium is a trademark of Intel Corporation. Windows is a trademark and MS-DOS, Microsoft Windows are registered trademarks of Microsoft Corporation. CompuServe is a registered trademark of CompuServe Incorporated.

All other trademarks mentioned herein are the property of their respective companies.

PIC12CE67X

PIC12CE67X

PIC12CE67X の型番 / 品名

PART NO.					-XX	X	/XX	XXX	Examples	
					Pattern:	Special Requirements			a)	PIC12CE673-04/P Commercial Temp., PDIP Package, 4 MHz, normal V _{DD} limits
					Package:	P	=	300 mil PDIP	b)	PIC12CE673-04I/P Industrial Temp., PDIP package, 4 MHz, normal V _{DD} limits
					JW	=	300 mil Windowed Ceramic Side Brazed			
					Temperature Range:	-	=	0°C to +70°C		
					I	=	-40°C to +85°C			
E	=	-40°C to +125°C	c)	PIC12CE673-10I/P Industrial Temp., PDIP package, 10 MHz, normal V _{DD} limits						
Frequency Range:	04	=	4 MHz/200 kHz							
10	=	10 MHz								
Device	PIC12CE673 PIC12CE674 PIC12LCE673 PIC12LCE674									

正確な製品名については、代理店までお問い合わせください。

営業とサポート

製品は、デバイスのデータシートとの動作上の相違点や推奨する回避方法を記載したエラッタシートが発行されている場合があります。エラッタシートが存在するかを確認するには、下記にお問い合わせください。

1. マイクロチップテクノロジー Int'l Inc. 日本支社
2. マイクロチップ製品取り扱い代理店
3. マイクロチップのインターネットホームページ (<http://www.microchip.com>)

また、このデータシートは参考資料です。最新版の英文データシートを参照してください。

PIC12CE67X

メモ :



MICROCHIP



WORLDWIDE SALES AND SERVICE

AMERICAS

Corporate Office

Microchip Technology Inc.
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 602-786-7200 Fax: 602-786-7277
Technical Support: 602 786-7627
Web: <http://www.microchip.com>

Atlanta

Microchip Technology Inc.
500 Sugar Mill Road, Suite 200B
Atlanta, GA 30350
Tel: 770-640-0034 Fax: 770-640-0307

Boston

Microchip Technology Inc.
5 Mount Royal Avenue
Marlborough, MA 01752
Tel: 508-480-9990 Fax: 508-480-8575

Chicago

Microchip Technology Inc.
333 Pierce Road, Suite 180
Itasca, IL 60143
Tel: 630-285-0071 Fax: 630-285-0075

Dallas

Microchip Technology Inc.
14651 Dallas Parkway, Suite 816
Dallas, TX 75240-8809
Tel: 972-991-7177 Fax: 972-991-8588

Dayton

Microchip Technology Inc.
Two Prestige Place, Suite 150
Miamisburg, OH 45342
Tel: 937-291-1654 Fax: 937-291-9175

Los Angeles

Microchip Technology Inc.
18201 Von Karman, Suite 1090
Irvine, CA 92612
Tel: 714-263-1888 Fax: 714-263-1338

New York

Microchip Technology Inc.
150 Motor Parkway, Suite 202
Hauppauge, NY 11788
Tel: 516-273-5305 Fax: 516-273-5335

San Jose

Microchip Technology Inc.
2107 North First Street, Suite 590
San Jose, CA 95131
Tel: 408-436-7950 Fax: 408-436-7955

Toronto

Microchip Technology Inc.
5925 Airport Road, Suite 200
Mississauga, Ontario L4V 1W1, Canada
Tel: 905-405-6279 Fax: 905-405-6253

ASIA/PACIFIC

Hong Kong

Microchip Asia Pacific
RM 3801B, Tower Two
Metroplaza
223 Hing Fong Road
Kwai Fong, N.T., Hong Kong
Tel: 852-2-401-1200 Fax: 852-2-401-3431

India

Microchip Technology Inc.
India Liaison Office
No. 6, Legacy, Convent Road
Bangalore 560 025, India
Tel: 91-80-229-0061 Fax: 91-80-229-0062

Japan

Microchip Technology Intl. Inc.
Benex S-1 6F
3-18-20, Shinyokohama
Kohoku-Ku, Yokohama-shi
Kanagawa 222 Japan
Tel: 81-45-471-6166 Fax: 81-45-471-6122

Korea

Microchip Technology Korea
168-1, Youngbo Bldg. 3 Floor
Samsung-Dong, Kangnam-Ku
Seoul, Korea
Tel: 82-2-554-7200 Fax: 82-2-558-5934

Shanghai

Microchip Technology
RM 406 Shanghai Golden Bridge Bldg.
2077 Yan'an Road West, Hong Qiao District
Shanghai, PRC 200335
Tel: 86-21-6275-5700
Fax: 86 21-6275-5060

Singapore

Microchip Technology Taiwan
Singapore Branch
200 Middle Road
#07-02 Prime Centre
Singapore 188980
Tel: 65-334-8870 Fax: 65-334-8850

ASIA/PACIFIC (CONTINUED)

Taiwan, R.O.C

Microchip Technology Taiwan
10F-1C 207
Tung Hua North Road
Taipei, Taiwan, ROC
Tel: 886-2-2717-7175 Fax: 886-2-2545-0139

EUROPE

United Kingdom

Arizona Microchip Technology Ltd.
505 Eskdale Road
Winnersh Triangle
Wokingham
Berkshire, England RG41 5TU
Tel: 44-1189-21-5858 Fax: 44-1189-21-5835

France

Arizona Microchip Technology SARL
Zone Industrielle de la Bonde
2 Rue du Buisson aux Fraises
91300 Massy, France
Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79

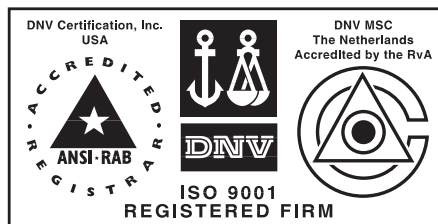
Germany

Arizona Microchip Technology GmbH
Gustav-Heinemann-Ring 125
D-81739 München, Germany
Tel: 49-89-627-144 0 Fax: 49-89-627-144-44

Italy

Arizona Microchip Technology SRL
Centro Direzionale Colleoni
Palazzo Taurus 1 V. Le Colleoni 1
20041 Agrate Brianza
Milan, Italy
Tel: 39-39-6899939 Fax: 39-39-6899883

1/13/98



Microchip received ISO 9001 Quality System certification for its worldwide headquarters, design, and wafer fabrication facilities in January, 1997. Our field-programmable PICmicro™ 8-bit MCUs, Serial EEPROMs, related specialty memory products and development systems conform to the stringent quality standards of the International Standard Organization (ISO).

All rights reserved. © 1998, Microchip Technology Incorporated, USA. 8/98 Printed on recycled paper.

Information contained in this publication regarding device applications and the like is intended for suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip's products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies.