

図解 Z80 マイコン応用 システム入門 ソフト編

付録 Z80命令一覧表

- 8ビット転送命令
- 16ビット・ロード命令
- 8ビット算術論理演算命令
- 16ビット算術演算命令
- アキュムレータ (A レジスタ)
操作命令/MPU コントロール命令
- 交換命令/ブロック転送命令/
ブロックサーチ命令
- ビット操作命令
- ローテート・シフト命令
- 無条件ジャンプ命令・条件付き
ジャンプ命令
- コール命令・リターン命令
- 入出力命令



東京電機大学出版局

■8ビット転送命令

命令記号 (ニーモニック)	機能	フラグ					命令コード (16進)						バイト 数	マシン サイクル 数	ステー ト 数	備 考						
		S	Z	H	P/V	N	C	7	6	5	4	3						2	1	0		
LD r, r'	r←r'	*	*	*	*	*	*	0	1	r	r	r	r	r	r	r	r'	1	1	4	レジスタ名 r/r'	2進符号 rrr/r'r'r'
LD r, n	r←n	*	*	*	*	*	*	0	0	r	r	r	r	1	1	0		2	2	7	B	0 0 0
LD r, (HL)	r←(HL)	*	*	*	*	*	*	0	1	r	r	r	1	1	0		1	2	7	C	0 0 1	
LD r, (IX+d)	r←(IX+d)	*	*	*	*	*	*	0	1	r	r	r	r	1	1	0	3	5	19	D	0 1 0	
LD r, (IY+d)	r←(IY+d)	*	*	*	*	*	*	0	1	r	r	r	r	1	1	0	3	5	19	E	0 1 1	
LD (HL), r	(HL)←r	*	*	*	*	*	*	0	1	1	1	0	r	r	r	r	1	2	7	H	1 0 0	
LD (IX+d), r	(IX+d)←r	*	*	*	*	*	*	0	1	1	1	0	r	r	r	r	3	5	19	L	1 0 1	
LD (IY+d), r	(IY+d)←r	*	*	*	*	*	*	0	1	1	1	0	r	r	r	r	3	5	19	A	1 1 1	
LD (HL), n	(HL)←n	*	*	*	*	*	*	(36)									2	3	10	d	2進数(符号付 8ビット)	
LD (IX+d), n	(IX+d)←n	*	*	*	*	*	*	(DD)	36								4	5	19	+127	0 1 1 1 1 1 1 1	
LD (IY+d), n	(IY+d)←n	*	*	*	*	*	*	(FD)	36								4	5	19	+1	0 0 0 0 0 0 0 1	
LD A, (BC)	A←(BC)	*	*	*	*	*	*	(0A)									1	2	7	0	0 0 0 0 0 0 0 0	
LD A, (DE)	A←(DE)	*	*	*	*	*	*	(3A)									1	2	7	-1	1 1 1 1 1 1 1 1	
LD A, (nn)	A←(nn)	*	*	*	*	*	*	nn _L									3	4	13		1 0 0 0 0 0 0 0	
LD (BC), A	(BC)←A	*	*	*	*	*	*	nn _H									1	2	7			
LD (DE), A	(DE)←A	*	*	*	*	*	*	(02)									1	2	7			
LD (nn), A	(nn)←A	*	*	*	*	*	*	(32)									3	4	13			
LD A, I	A←I	↑	↑	0	IF _F	0	0	(ED)								2	2	9			IF _F の状態がP/Vに入る	
LD A, R	A←R	↑	↑	0	IF _F	0	0	(57)								2	2	9				
LD I, A	I←A	*	*	*	*	*	*	(ED)									2	2	9			
LD R, A	R←A	*	*	*	*	*	*	(47)									2	2	9			
		*	*	*	*	*	*	(ED)									2	2	9			
		*	*	*	*	*	*	(4F)									2	2	9			

フラグの状態：・無変化 ×未定 †変化有 0リセット 1セット

■16ビット・ロード命令

命令記号 (ニーモニック)	機能	フラグ						命令コード (16進)						バイト数	マシン サイクル 数	ステータス 数	備考				
		S	Z	H	P/V	N	C	7	6	5	4	3	2						1	0	
LD dd, nn	dd←nn	0	0	d	d	0	0	0	0	1	3	3	10	ベアレジスタ名 d d	2進符号 d d
								←	←	←	←	←	←	←	←	←				B C	0 0
																				D E	0 1
																				H L	1 0
																				S P	1 1
LD IX, nn	IX←nn	(DD) (21)					←	←	←	←	4	4	14	nnは16ビットの数 nn _L はnnの下位8ビット nn _H はnnの上位8ビット	
												←	←	←	←	←					
LD IY, nn	IY←nn	(FD) (21)					←	←	←	←	4	4	14		
												←	←	←	←	←					
LD HL, (nn)	L←(nn) H←(nn+1)	(2A)					←	←	←	←	3	5	16	(nn)はnn番地の内容	
												←	←	←	←	←					
LD dd, (nn)	dd _L ←(nn) dd _H ←(nn+1)	(ED) 0 1 d d 1 0 1 1					←	←	←	←	4	6	20	dd _L はベアレジスタの 下位レジスタ dd _H はベアレジスタの 上位レジスタ	
												←	←	←	←	←					
LD IX, (nn)	IX _L ←(nn) IX _H ←(nn+1)	(DD) (2A)					←	←	←	←	4	6	20		
												←	←	←	←	←					
LD IY, (nn)	IY _L ←(nn) IY _H ←(nn+1)	(FD) (2A)					←	←	←	←	4	6	20		
												←	←	←	←	←					
LD (nn), HL	(nn)←L (nn+1)←H	(22)					←	←	←	←	3	5	16		
												←	←	←	←	←					
LD (nn), dd	(nn)←dd _L (nn+1)←dd _H	(ED) 0 1 d d 0 0 1 1					←	←	←	←	4	6	20		
												←	←	←	←	←					
LD (nn), IX	(nn)←IX _L (nn+1)←IX _H	(DD) (22)					←	←	←	←	4	6	20		
												←	←	←	←	←					
LD (nn), IY	(nn)←IY _L	(FD) 22					←	←	←	←	4	6	20		
												←	←	←	←	←					

■16ビット・ロード命令(つづき)

命令記号 (二モニック)	機能	フラグ						命令コード (16進)						バイト 数	マシン サイクル 数	ステータス 数	備考				
		S	Z	H	P	V	N	C _v	7	6	5	4	3						2	1	0
LD SP, HL	SP←HL	(F9)						1	1	6	ベアレジスタ 2進符号				
								q	q	q	q	B	C				0	0			
LD SP, IX	SP←IX	(DD) (F9)						2	2	10	D		E	0	1
								H	L	1	0										
								A	F	1	1										
LD SP, IY	SP←IY	(FD) (F9)						2	2	10	PUSH命令 SP←SP-2 POP命令 SP←SP+2 * POP AFの場合は qq = Fレジスタとなり スタックエリアの内容 がFレジスタにセット される				
PUSH qq	(SP-2)←qq _L (SP-1)←qq _H	1 1 q q 0 1 0 1						1	3	11					
PUSH IX	(SP-2)←IX _L (SP-1)←IX _H	(DD) (E5)						2	4	15					
PUSH IY	(SP-2)←IY _L (SP-1)←IY _H	(FD) (E5)						2	4	15					
POP qq*	qq←(SP) qq←(SP+1)	1 1 q q 0 0 0 1						1	3	10					
POP IX	IX _L ←(SP) IX _H ←(SP+1)	(DD) (E1)						2	4	14					
POP IY	IY _L ←(SP) IY _H ←(SP+1)	(FD) (E1)						2	4	14					

フラグの状態：・無変化

■ 8ビット算術論理演算命令

命令記号 (二ーモニック)	機能	フラグ						命令コード (16進)						バイト 数	マシン サイクル 数	ステータス 数	備考							
		S	Z	H	P/V	N	C _v	7	6	5	4	3	2						1	0				
ADD A, r	$A \leftarrow A+r$	↑	↑	↑	↓	V	0	↑	1	0	t	t	t	r	r	r	r	1	1	4	二ーモニック ADD 000 ADC 001 SUB 010 SBC 011 AND 100 OR 110 XOR 101 CP 111 INC 100 DEC 101	t t t		
ADD A, n	$A \leftarrow A+n$	↑	↑	↑	↓	V	0	↑	1	1	t	t	t	t	1	1	0	2	2	7				
ADD A,(HL)	$A \leftarrow A+(HL)$	↑	↑	↑	↓	V	0	↑	1	0	t	t	t	t	1	1	0	1	2	7				
ADD A,(IX+d)	$A \leftarrow A+(IX+d)$	↑	↑	↑	↓	V	0	↑	(DD) 1	0	t	t	t	t	1	1	0	3	5	19				
ADD A,(IY+d)	$A \leftarrow A+(IY+d)$	↑	↑	↑	↓	V	0	↑	(FD) 1	0	t	t	t	t	1	1	0	3	5	19				
ADC A, s	$A \leftarrow A+s+C_v$	↑	↑	↑	↓	V	0	↑	ADD命令の t t t = 0 0 1						ADD命令と同じ			s = r, n, (HL), (IX+d), (IY+d)						
SUB s	$A \leftarrow A-s$	↑	↑	↑	↓	V	1	↑	ADD命令の t t t = 0 1 0															
SBC A, s	$A \leftarrow A-s-C_v$	↑	↑	↑	↓	V	1	↑	ADD命令の t t t = 0 1 1															
AND s	$A \leftarrow A \wedge s$	↑	↓	1	P	0	0	↑	ADD命令の t t t = 1 0 0															
OR s	$A \leftarrow A \vee s$	↑	↓	0	P	0	0	↑	ADD命令の t t t = 1 1 0															
XOR s	$A \leftarrow A \oplus s$	↑	↓		P	0	0	↑	ADD命令の t t t = 1 0 1															
CP s	$A-s$	↑	↑	↑	↓	V	1	↑	ADD命令の t t t = 1 1 1															
INC r	$r \leftarrow r+1$	↑	↑	↑	↓	V	0	·	0	0	r	r	r	r					t	t	t	1	1	4
INC (HL)	$(HL) \leftarrow (HL)+1$	↑	↑	↑	↓	V	0	·	0	0	1	1	0	t	t	t	1	3	11					
INC (IX+d)	$(IX+d) \leftarrow (IX+d)+1$	↑	↑	↑	↓	V	0	·	(DD) 0	0	1	1	0	t	t	t	3	6	23					
INC (IY+d)	$(IY+d) \leftarrow (IY+d)+1$	↑	↑	↑	↓	V	0	·	(FD) 0	0	1	1	0	t	t	t	3	6	23					
DEC m	$m \leftarrow m-1$	↑	↑	↑	↓	V	1	·	INC命令を基本形として、t t t = 1 0 1						INC命令と同じ			m = r, (HL), (IX+d), (IY+d)						

フラグの状態：↑変化有、·無変化、1セット、0リセット、VフラグVの状態が入る

■16ビット算術演算命令

命令記号 (ニーモニック)	機能	フラグ					命令コード (16進)						バイト 数	マシン サイクル 数	ステー ト 数	備 考				
		S	Z	H	P/V	N	C _v	7	6	5	4	3						2	1	0
ADD HL, ss	HL←HL+ss	•	•	×	•	0	↓	0	0	ss	1	0	0	0	1	1	レジスタ名 ss	2進符号 ss		
ADC HL,ss	HL←HL+ ss+C _v	↓	↓	×	V	0	↓	(ED)	0	1	ss	1	0	1	0	2	4	15	BC DE HL SP	00 01 10 11
SBC HL, ss	HL←HL- ss-C _v	↓	↓	×	V	1	↓	(ED)	0	1	ss	0	0	1	0	2	4	15	レジスタ名 pp	2進符号 pp
ADD IX, pp	IX←IX+pp	•	•	×	•	0	↓	(DD)	0	0	pp	1	0	0	1	2	4	15	BC DE IX SP	00 01 10 11
ADD IY, rr	IY←IY+rr	•	•	×	•	0	↓	(FD)	0	0	rr	1	0	0	1	2	4	15	レジスタ名 rr	2進符号 rr
INC ss	ss←ss+1	•	•	×	•	•	•	0	0	ss	0	0	1	1	1	1	1	6	BC DE IY SP	00 01 10 11
INC IX	IX←IX+1	•	•	•	•	•	•	(DD) (23)								2	2	10		
INC IY	IY←IY+1	•	•	•	•	•	•	(FD) (23)								2	2	10		
DEC ss	ss←ss-1	•	•	•	•	•	•	0	0	ss	1	0	1	1	1	1	1	6		
DEC IX	IX←IX-1	•	•	•	•	•	•	(DD) (2B)								2	2	10		
DEC IY	IY←IY-1	•	•	•	•	•	•	(FD) (2B)								2	2	10		

フラグの状態：↓変化有，×未定，•無変化，1セット，0リセット，V フラグVの状態が入る

■アキュムレータ(Aレジスタ)操作命令/MPUコントロール命令

命令記号 (ニーモニック)	機能	フラグ						命令コード (16進)						バイト数	マシン サイクル 数	ステート 数	備考		
		S	Z	H	P	N	C _v	7	6	5	4	3	2					1	0
DAA	2進化10進 補正	↑	↑	↓	↑	P	↓									1	1	4	加減算命令実行後にDAA命令を実行すること
CPL	$A \leftarrow \bar{A}$	·	·	1	·	1	·									1	1	4	1の補数
NEG	$A \leftarrow \bar{A} + 1$	↑	↑	↓	↑	V	1	↑								2	2	8	2の補数
CCF	$C_v \leftarrow \bar{C}_v$	·	·	×	·	0	↑									1	1	4	キャリフラグC _v の反転
SCF	$C_v \leftarrow 1$	·	·	0	·	0	1									1	1	4	キャリ・セット
NOP	No Operation	·	·	·	·	·	·									1	1	4	
HALT	待機状態	·	·	·	·	·	·									1	1	4	MPUホルト状態
DI	$IFF \leftarrow 0$	·	·	·	·	·	·									1	1	4	割込み受付禁止
EI	$IFF \leftarrow 1$	·	·	·	·	·	·									1	1	4	割込み受付許可
IM 0	Mode 0 RST命令	·	·	·	·	·	·									2	2	8	割込みモードのセット
IM 1	Mode 1 RST 38 _H 命令	·	·	·	·	·	·									2	2	8	
IM 2	Mode 2 ベクター割込み	·	·	·	·	·	·									2	2	8	

フラグの状態：↑変化有，・無変化，×未定，1セット，0リセット，P フラグPの状態が入る

■交換命令/ブロック転送命令/ブロックサーチ命令

命令記号 (二ノミック)	機能	フラグ					命令コード (16進)						バイト数	マシン サイクル数	ステート 数	備考			
		S	Z	H	P/V	N	C _v	7	6	5	4	3					2	1	0
EX DE, HL	DE \leftrightarrow HL	•	•	•	•	•	•	(EB)								1	1	4	
EX AF, AF'	AF \leftrightarrow AF'	•	•	•	•	•	•	(08)								1	1	4	
EXX	$\begin{pmatrix} BC \leftrightarrow BC' \\ DE \leftrightarrow DE' \\ HL \leftrightarrow HL' \end{pmatrix}$	•	•	•	•	•	•	(D9)								1	1	4	
EX (SP), HL	L \leftrightarrow (SP) H \leftrightarrow (SP+1)	•	•	•	•	•	•	(E3)								1	5	19	
EX (SP), IX	IX \leftrightarrow (SP) IX \leftrightarrow (SP+1)	•	•	•	•	•	•	(DD) (E3)								2	6	23	
EX (SP), IY	IY \leftrightarrow (SP) IY \leftrightarrow (SP+1)	•	•	•	•	•	•	(FD) (E3)								2	6	23	
LDI	(DE) \leftrightarrow (HL) DE \leftarrow DE+1 HL \leftarrow HL+1 BC \leftarrow BC-1	•	•	•	0	↓	0	•	(ED) (A0)							2	4	16	① BC-1=0のとき P/V=0 BC-1≠0のとき P/V=1
LDIR	LDI命令を BC=0になる まで実行 する	•	•	•	0	0	0	•	(ED) (B0)						2	5 4	21 16	(BC≠0のとき) (BC=0のとき)	
LDD	(DE) \leftrightarrow (HL) DE \leftarrow DE-1 HL \leftarrow HL-1 BC \leftarrow BC-1	•	•	•	0	↓	0	•	(ED) (A8)						2	4	16		
LDDR	LDD命令を BC=0になる まで実行 する	•	•	•	0	0	0	•	(ED) (B8)						2	5 4	21 16	(BC≠0のとき) (BC=0のとき)	
CPI	A-(HL) HL \leftarrow HL+1 BC \leftarrow BC-1	↑	↓	↑	↓	↑	↓	1	•	(ED) (A1)					2	4	16	② A=(HL)ならば フラグZ=1 A≠(HL)ならば フラグZ=0	
CPIR	CPI命令を A-(HL)= 0かBC=0 になるまで 実行する	↑	↓	↑	↓	↑	↓	1	•	(ED) (B1)					2 2	5 4	21 16	A-(HL)≠0かつ BC≠0のとき A-(HL)=0または BC=0のとき	
CPD	A-(HL) HL \leftarrow HL-1 BC \leftarrow BC-1	↓	↑	↓	↑	↓	↑	1	•	(ED) (A9)					2	4	16		
CPDR	CPD命令を A-(HL)= 0かBC=0 になるまで 実行する	↓	↑	↓	↑	↓	↑	1	•	(ED) (B9)					2 2	5 4	21 16	A-(HL)≠0かつ BC≠0のとき A-(HL)=0または BC=0のとき	














フラグの変化：↑変化有、•無変化、1セット、0リセット

■ビット操作命令

命令記号 (ニーモニック)	機能	フラグ					命令コード (16進)		バイト 数	マシン サイクル 数	ステー ト 数	備 考	
		S	Z	H	OV	N	C _v	7 6 5 4					
BIT b, r	$Z \leftarrow \overline{r}_b$	×	↓	1	×	0	·	(CB) a a b b b r r r	2	2	8	レジスタ名	符号
BIT b, (HL)	$Z \leftarrow \overline{(HL)}_b$	×	↓	1	×	0	·	(CB) a a b b b 1 1 0	2	2	12	B	0 0 0
BIT b, (IX+d)	$Z \leftarrow \overline{(IX+d)}_b$	×	↓	1	×	0	·	(DD) (CB) ← d → a a b b b 1 1 0	4	5	20	C	0 0 1
BIT b, (IY+d)	$Z \leftarrow \overline{(IY+d)}_b$	×	↓	1	×	0	·	(FD) (CB) ← d → a a b b b 1 1 0	4	5	20	D	0 1 0
SET b, r	$r_b \leftarrow 1$	·	·	·	·	·	·	BIT命令の aa=11	2	2	8	E	0 1 1
SET b, (HL)	$(HL)_b \leftarrow 1$	·	·	·	·	·	·		2	4	15	H	1 0 0
SET b, (IX+d)	$(IX+d)_b \leftarrow 1$	·	·	·	·	·	·		4	6	23	L	1 0 1
SET b, (IY+d)	$(IY+d)_b \leftarrow 1$	·	·	·	·	·	·		4	6	23	A	1 1 1
RES b, m	$m_b \leftarrow 0$ $m=r, (HL),$ $(IX+d), (IY+d)$	·	·	·	·	·	·	BIT命令の aa=10	SET命令と同じ			ビット番号	符号
												b	b b b
												0	0 0 0
												1	0 0 1
												2	0 1 0
												3	0 1 1
												4	1 0 0
												5	1 0 1
												6	1 1 0
												7	1 1 1
												ニーモニック	a a
												BIT	0 1
												SET	1 1
												RES	1 0

フラグの状態：・無変化，↓変化有，×未定，1セット，0リセット

■ローテート・シフト命令

命令記号 (ニーモニック)	機能	フラグ					命令コード (16進)						バイト 数	マシン サイクル 数	ステータス 数	備考																			
		S	Z	H	P/V	N	C _v	7	6	5	4	3					2	1	0																
RLCA		·	·	0	·	0	↓	(07)						1	1	4	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">ニーモニック</td> <td style="padding-left: 5px;">u u u</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">RLC</td> <td style="padding-left: 5px;">0 0 0</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">RRC</td> <td style="padding-left: 5px;">0 0 1</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">RL</td> <td style="padding-left: 5px;">0 1 0</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">RR</td> <td style="padding-left: 5px;">0 1 1</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">SLA</td> <td style="padding-left: 5px;">1 0 0</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">SRA</td> <td style="padding-left: 5px;">1 0 1</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">—</td> <td style="padding-left: 5px;">1 1 0</td> </tr> <tr> <td style="border-right: 1px solid black; padding-right: 5px;">SRL</td> <td style="padding-left: 5px;">1 1 1</td> </tr> </table> <p>m=r, (HL), (IX+d) (IY+d)</p>	ニーモニック	u u u	RLC	0 0 0	RRC	0 0 1	RL	0 1 0	RR	0 1 1	SLA	1 0 0	SRA	1 0 1	—	1 1 0	SRL	1 1 1
ニーモニック	u u u																																		
RLC	0 0 0																																		
RRC	0 0 1																																		
RL	0 1 0																																		
RR	0 1 1																																		
SLA	1 0 0																																		
SRA	1 0 1																																		
—	1 1 0																																		
SRL	1 1 1																																		
RLA		·	·	0	·	0	↓	(17)						1	1	4																			
RRCA		·	·	0	·	0	↓	(0F)						1	1	4																			
RRA		·	·	0	·	0	↓	(1F)						1	1	4																			
RLC r		↑	↓	0	P	0	↓	(CB) 0 0 u u u r r r r						2	2	8																			
RLC (HL)		↑	↓	0	P	0	↓	(CB) 0 0 u u u 1 1 1 0						2	4	15																			
RLC (IX+d)		↑	↓	0	P	0	↓	(DD) (CB) ← d → 0 0 u u u 1 1 1 0						4	6	23																			
RLC (IY+d)		↑	↓	0	P	0	↓	(FD) (CB) ← d → 0 0 u u u 1 1 1 0						4	6	23																			
RL m		↑	↓	0	P	0	↓	RLC命令の u u u = 0 1 0						RLC命令と同じ			m=r, (HL), (IX+d) (IY+d)																		
RRC m		↑	↓	0	P	0	↓	RRC命令の u u u = 0 0 1																											
RR m		↑	↓	0	P	0	↓	RLC命令の u u u = 0 1 1																											
SLA m		↑	↓	0	P	0	↓	RLC命令の u u u = 1 0 0																											
SRA m		↑	↓	0	P	0	↓	RLC命令の u u u = 1 0 1																											
SRL m		↑	↓	0	P	0	↓	RLC命令の u u u = 1 1 1																											
RLD		↑	↓	0	P	0	·	(ED) (6F)						2	5	18																			
RRD		↑	↓	0	P	0	·	(ED) (67)						2	5	18																			

フラグの状態：↑変化有、·無変化、×未定、1セット、0リセット、PフラグPの状態

■無条件ジャンプ命令・条件付きジャンプ命令

命令記号 (二ーモニック)	機能	フラグ						命令コード (16進)						バイト 数	マシン サイクル 数	ステー ト 数	備 考																														
		S	Z	H	P/V	N	C _v	7	6	5	4	3	2					1	0																												
JP nn	PC←nn	•	•	•	•	•	•	(C3) ←nn _L → ←nn _H →						3	3	10	<table border="1" style="width: 100%;"> <tr> <th>フラグ条件</th> <th>符号化</th> <th>条件</th> </tr> <tr> <td>cc</td> <td>ccc</td> <td>真</td> </tr> <tr> <td>NZ</td> <td>000</td> <td>Z=0</td> </tr> <tr> <td>Z</td> <td>001</td> <td>Z=1</td> </tr> <tr> <td>NC</td> <td>010</td> <td>C_v=0</td> </tr> <tr> <td>C</td> <td>011</td> <td>C_v=1</td> </tr> <tr> <td>PO</td> <td>100</td> <td>P/V=0</td> </tr> <tr> <td>PE</td> <td>101</td> <td>P/V=1</td> </tr> <tr> <td>P</td> <td>110</td> <td>S=0</td> </tr> <tr> <td>M</td> <td>111</td> <td>S=1</td> </tr> </table>	フラグ条件	符号化	条件	cc	ccc	真	NZ	000	Z=0	Z	001	Z=1	NC	010	C _v =0	C	011	C _v =1	PO	100	P/V=0	PE	101	P/V=1	P	110	S=0	M	111	S=1
フラグ条件	符号化	条件																																													
cc	ccc	真																																													
NZ	000	Z=0																																													
Z	001	Z=1																																													
NC	010	C _v =0																																													
C	011	C _v =1																																													
PO	100	P/V=0																																													
PE	101	P/V=1																																													
P	110	S=0																																													
M	111	S=1																																													
JP cc, nn	フラグ条件ccが真のとき, PC←nn フラグ条件ccが偽のとき, 次の命令の実行	•	•	•	•	•	•	11ccc c010 ←nn _L → ←nn _H →						3	3	10																															
JR e	PC←\$+e	•	•	•	•	•	•	(18) ←e-2→						2	3	12																															
JR ff, e	フラグ条件ffが真のとき, PC←\$+e フラグ条件ffが偽のとき, 次の命令の実行	•	•	•	•	•	•	00fff f000 ←e-2→						2	3	12																															
														2	2	7	<table border="1" style="width: 100%;"> <tr> <th>e</th> <th>e-2</th> <th>2進 8ビット</th> </tr> <tr> <td>+129</td> <td>+127</td> <td>01111111</td> </tr> <tr> <td>∫</td> <td>∫</td> <td>∫</td> </tr> <tr> <td>0</td> <td>-2</td> <td>11111110</td> </tr> <tr> <td>∫</td> <td>∫</td> <td>∫</td> </tr> <tr> <td>-126</td> <td>-128</td> <td>10000000</td> </tr> </table>	e	e-2	2進 8ビット	+129	+127	01111111	∫	∫	∫	0	-2	11111110	∫	∫	∫	-126	-128	10000000												
e	e-2	2進 8ビット																																													
+129	+127	01111111																																													
∫	∫	∫																																													
0	-2	11111110																																													
∫	∫	∫																																													
-126	-128	10000000																																													
DJNZ e	B←B-1 B≠0のとき PC←\$+e B=0のとき 次の命令の実行	•	•	•	•	•	•	(10) ←e-2→						2	3	13																															
														2	2	8																															
JP (HL)	PC←HL	•	•	•	•	•	•	(E9)						1	1	4	<table border="1" style="width: 100%;"> <tr> <th>フラグ条件</th> <th>符号化</th> <th>条件</th> </tr> <tr> <td>ff</td> <td>fff</td> <td>真</td> </tr> <tr> <td>NZ</td> <td>100</td> <td>Z=0</td> </tr> <tr> <td>Z</td> <td>101</td> <td>Z=1</td> </tr> <tr> <td>NC</td> <td>110</td> <td>C_v=0</td> </tr> <tr> <td>C</td> <td>111</td> <td>C_v=1</td> </tr> </table>	フラグ条件	符号化	条件	ff	fff	真	NZ	100	Z=0	Z	101	Z=1	NC	110	C _v =0	C	111	C _v =1												
フラグ条件	符号化	条件																																													
ff	fff	真																																													
NZ	100	Z=0																																													
Z	101	Z=1																																													
NC	110	C _v =0																																													
C	111	C _v =1																																													
JP (IX)	PC←IX	•	•	•	•	•	•	(DD) (E9)						2	2	8																															
JP (IY)	PC←IY	•	•	•	•	•	•	(FD) (E9)						2	2	8																															

フラグの状態：・無変化

■コール命令・リターン命令

命令記号 (二モニック)	機能	フラグ						命令コード (16進)					バイト 数	マシン サイクル 数	ステート 数	備考																														
		S	Z	H	P/V	N	C _v	7	6	5	4	3					2	1	0																											
CALL nn	(SP-2)←PC _L (SP-1)←PC _H PC←nn	•	•	•	•	•	•	(CD) ← nn _L → ← nn _H →					3	5	17	<table border="1" style="width: 100%;"> <tr> <th>フラグ条件</th> <th>符号化</th> <th>条件</th> </tr> <tr> <td>cc</td> <td>ccc</td> <td>真</td> </tr> <tr> <td>NZ</td> <td>000</td> <td>Z=0</td> </tr> <tr> <td>Z</td> <td>001</td> <td>Z=1</td> </tr> <tr> <td>NC</td> <td>010</td> <td>C_v=0</td> </tr> <tr> <td>C</td> <td>011</td> <td>C_v=1</td> </tr> <tr> <td>PO</td> <td>100</td> <td>P/V=0</td> </tr> <tr> <td>PE</td> <td>101</td> <td>P/V=1</td> </tr> <tr> <td>P</td> <td>110</td> <td>S=0</td> </tr> <tr> <td>M</td> <td>111</td> <td>S=1</td> </tr> </table>	フラグ条件	符号化	条件	cc	ccc	真	NZ	000	Z=0	Z	001	Z=1	NC	010	C _v =0	C	011	C _v =1	PO	100	P/V=0	PE	101	P/V=1	P	110	S=0	M	111	S=1
フラグ条件	符号化	条件																																												
cc	ccc	真																																												
NZ	000	Z=0																																												
Z	001	Z=1																																												
NC	010	C _v =0																																												
C	011	C _v =1																																												
PO	100	P/V=0																																												
PE	101	P/V=1																																												
P	110	S=0																																												
M	111	S=1																																												
CALL cc, nn	フラグ条件 ccが真のとき、CALL nnの実行 フラグ条件 ccが偽のとき、次の命 令の実行	•	•	•	•	•	•	11cc c100 ← nn _L → ← nn _H →					3 3	5 3	17 10																															
RET	PC _L ←(SP) PC _H ←(SP+1)	•	•	•	•	•	•	(C9)					1	3	10	<table border="1" style="width: 100%;"> <tr> <th>飛び先番地 p</th> <th>符号化 ppp</th> </tr> <tr> <td>00_H</td> <td>000</td> </tr> <tr> <td>08_H</td> <td>001</td> </tr> <tr> <td>10_H</td> <td>010</td> </tr> <tr> <td>18_H</td> <td>011</td> </tr> <tr> <td>20_H</td> <td>100</td> </tr> <tr> <td>28_H</td> <td>101</td> </tr> <tr> <td>30_H</td> <td>110</td> </tr> <tr> <td>38_H</td> <td>111</td> </tr> </table>	飛び先番地 p	符号化 ppp	00 _H	000	08 _H	001	10 _H	010	18 _H	011	20 _H	100	28 _H	101	30 _H	110	38 _H	111												
飛び先番地 p	符号化 ppp																																													
00 _H	000																																													
08 _H	001																																													
10 _H	010																																													
18 _H	011																																													
20 _H	100																																													
28 _H	101																																													
30 _H	110																																													
38 _H	111																																													
RET cc	フラグ条件 ccが真のとき、RET命 令の実行 フラグ条件 ccが偽のとき、次の命 令の実行	•	•	•	•	•	•	11cc c000					1 1	3 1	11 5																															
RETI	マスク (INT) 割込 み処理プロ グラムから メインプロ グラムへの リターン (RET)命令	•	•	•	•	•	•	(ED) (4D)					2	4	14	CALL命令・RST命令 SP←SP-2 RET命令は SP←SP+2																														
RETN	ノンマスク (NMI) 割込 み処理プロ グラムから メインプロ グラムへの リターン (RET)命令	•	•	•	•	•	•	(ED) (45)					2	4	14																															
RST p	CALL p命令	•	•	•	•	•	•	11pp p111					1	3	11																															

フラグの状態：・無変化

■入出力命令

命令記号 (二一モニック)	機能	フラグ						命令コード (16進)				バイト 数	マシン サイクル 数	ステート 数	備考	
		S	Z	H	P	V	N	C	7	6	5					4
IN A, (n)	A←(n) nはポート 番号 0≤n≤255	(DB) ←-----n----->				2	3	11	ポート番号nはA ₇ ~A ₀ , レジスタAの内容は A ₁₅ ~A ₈ に出力	
IN r, (C)	r←(C) レジスタC の内容はポ ート番号	↑	↑	0	P	0	.	(ED) 0 1 r r r r 0 0 0				2	3	12	レジスタCの内容は A ₇ ~A ₀ レジスタBの内容は A ₁₅ ~A ₈ に出力	
INI	(HL)←(C) B←B-1 HL←HL+1	×	↑ ③	×	×	×	1	.	(ED) (A2)				2	4	16	
INIR	B=0になる まで INI 命 令を実行す る	×	1	×	×	×	1	.	(ED) (B2)				2	5	21	B≠0のとき
									2	4	16	B=0のとき				
IND	(HL)←(C) B←B-1 HL←HL-1	×	↑ ③	×	×	×	1	.	(ED) (AA)				2	4	16	③B-1実行後のB=0 のときZ=1, B≠0 のときZ=0
INDR	B=0になる まで IND 命 令を実行す る	×	1	×	×	×	1	.	(ED) (BA)				2	5	21	B≠0のとき
									2	4	16	B=0のとき				
OUT (n), A	(n)←A	(D3) ←-----n----->				2	3	11	nはA ₇ ~A ₀ に レジスタAの内容は A ₁₅ ~A ₈ に出力	
OUT (C), r	(C)←r	(ED) 0 1 r r r r 0 0 1				2	3	12	レジスタCの内容は A ₇ ~A ₀ レジスタBの内容は A ₁₅ ~A ₈	
OUTI	(C)←(HL) B←B-1 HL←HL+1	×	↑ ③	×	×	×	1	.	(ED) (A3)				2	4	16	に出力
OTIR	B=0になる までOUTI 命 令を実行す る	×	1	×	×	×	1	.	(ED) (B3)				2	5	21	B≠0のとき
									2	4	16	B=0のとき				
OUTD	(C)←(HL) B←B-1 HL←HL-1	×	↑ ③	×	×	×	1	.	(ED) (AB)				2	4	16	
OTDR	B=0になる までOUTD 命 令を実行す る	×	1	×	×	×	1	.	(ED) (BB)				2	5	21	B≠0のとき
									2	4	16	B=0のとき				

フラグの状態：↑変化有、・無変化、×未定、1セット、0リセット、P フラグPの状態